

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028422

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H01L 25/04

H01L 25/18

(21)Application number : 11-199955

(71)Applicant : SONY CORP

(22)Date of filing : 14.07.1999

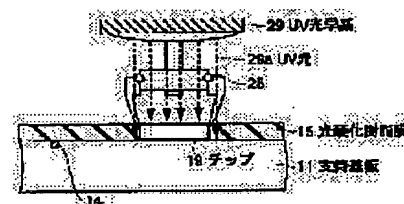
(72)Inventor : KAMIIDE KOYO
TAKAOKA YUJI

(54) MULTI-CHIP MODULE, MANUFACTURE THEREOF AND MANUFACTURING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-chip module of a structure, where a wiring between elements is miniaturized and moreover, the high-density mounting of chips can be realized, and the manufacturing method of the module.

SOLUTION: This manufacturing method for a multi-chip module has a plurality of chips electrically connected with each other and the chips are sealed in the same package, and is provided with a process of coating a photo curing resin film on a support substrate 11, a process of mounting the chips 19 on the substrate 11 through a face up bonding within the film 15 at the prescribed planar positions on the substrate 11 and in a prescribed height and a process, wherein UV light 29a is irradiated on the film 15 to cure the film 15, whereby the chips 19 are fixed on the substrate 11 at the prescribed plane positions and at a prescribed height.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The multi chip module characterized by providing the photo-curing resin film by which is the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and the coat was carried out on the support substrate, and two or more chips which were mounted on said support substrate by face up, and were fixed to said photo-curing resin film.

[Claim 2] The multi chip module characterized by providing the light reflex film which is the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and was formed on the support substrate, the photo-curing resin film by which the coat was carried out on said light reflex film, and two or more chips which were mounted on said support substrate by face up, and were fixed to said photo-curing resin film.

[Claim 3] The multi chip module according to claim 1 or 2 characterized by including further the protective coat which was formed on the interlayer insulation film formed on said photo-curing resin film, the connection hole which was prepared in said interlayer insulation film, and which is located on said chip, and said interlayer insulation film, and was formed on the circuit pattern connected to said connection hole, said circuit pattern, and said interlayer insulation film.

[Claim 4] The multi chip module according to claim 1 or 2 characterized by arranging the circuit pattern of the maximum upper layer of each of two or more of said chips at the same height.

[Claim 5] The process which is the manufacture approach of the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The process which is in said photo-curing resin film, and mounts two or more chips on the predetermined flat-surface location and the predetermined, predetermined height on a support substrate by face up, and by irradiating light at said photo-curing resin film, and stiffening the photo-curing resin film The manufacture approach of the multi chip module characterized by providing the process which fixes said chip to said predetermined flat-surface location and predetermined, predetermined height.

[Claim 6] The process which is the manufacture approach of the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and forms the light reflex film on a support substrate, The process which carries out the coat of the photo-curing resin film on said light reflex film, and the process which is in said photo-curing resin film, and mounts two or more chips on the predetermined flat-surface location and the predetermined, predetermined height on a support substrate by face up, The manufacture approach of the multi chip module characterized by providing the process which fixes said chip to said predetermined flat-surface location and predetermined, predetermined height by irradiating light at said photo-curing resin film, and stiffening the photo-curing resin film.

[Claim 7] The manufacture approach of the multi chip module according to claim 5 or 6 characterized by to include further the process which forms an interlayer insulation film on said photo-curing resin film after said process to fix, the process which prepares the connection hole located on said chip in said interlayer insulation film, the process which forms the circuit pattern located on said connection hole on said interlayer insulation film, and the process which form a protective coat on said circuit pattern and said interlayer insulation film.

[Claim 8] Said process to mount is the manufacture approach of the multi chip module according to

claim 5 or 6 which carries out the image recognition of the surface pattern of said chip, and is characterized by being what mounts said chip on a predetermined flat-surface location to a support substrate while locating this surface pattern in predetermined height to a support substrate based on the image.

[Claim 9] Said process to mount is the manufacture approach of the multi chip module according to claim 5 or 6 characterized by being what performs the process mounted the whole chip two or more times.

[Claim 10] It is the manufacture approach of the multi chip module according to claim 5 or 6 characterized by irradiating light at said chip top face and the photo-curing resin film of the circumference of it in case light is irradiated in said process to fix at the photo-curing resin film.

[Claim 11] It is the manufacture approach of the multi chip module according to claim 5 or 6 characterized by irradiating light at said chip inferior surface of tongue and the photo-curing resin film of the circumference of it in case light is irradiated in said process to fix at the photo-curing resin film.

[Claim 12] It is the manufacture approach of the multi chip module according to claim 5 or 6 characterized by irradiating light at some photo-curing resin film of said chip circumference in case light is irradiated in said process to fix at the photo-curing resin film.

[Claim 13] Said predetermined height is the manufacture approach of the multi chip module according to claim 5 or 6 characterized by the height of the circuit pattern of the maximum upper layer of each of two or more of said chips being what is equal to the same height.

[Claim 14] The manufacture approach of the multi chip module according to claim 5 or 6 characterized by including further the process which stamps a target mark on the reference point of the location which mounts a chip at a support substrate before the process which carries out the coat of said photo-curing resin film.

[Claim 15] The coat means which is equipment which manufactures the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The stage which supports said support substrate, and a chip conveyance means to be in the photo-curing resin film by which the coat was carried out with said coat means, and to convey a chip by face up in the predetermined flat-surface location and the predetermined, predetermined height on a support substrate, The manufacturing installation of the multi chip module characterized by providing the optical system which light is irradiated [optical system] at said photo-curing resin film, and stiffens the photo-curing resin film.

[Claim 16] The manufacturing installation of the multi chip module according to claim 15 characterized by to include further the image-recognition optical system which carries out the image recognition of the surface pattern of said chip, and the control means which controls a chip conveyance means to convey said chip in a predetermined flat-surface location to a support substrate while the image data of the surface pattern recognized according to this image-recognition optical system locates this surface pattern in said chip conveyance means to a support substrate at predetermined height based on delivery and this image data.

[Claim 17] The coat means which is equipment which manufactures the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The stage which supports said support substrate, and a chip conveyance means to be in the photo-curing resin film by which the coat was carried out with said coat means, and to convey a chip by face up in the predetermined flat-surface location and the predetermined, predetermined height on a support substrate, The manufacturing installation of the multi chip module characterized by providing the optical system which light is irradiated [optical system] at some photo-curing resin film of said chip circumference, and stiffens the photo-curing resin film.

[Claim 18] Said optical system is the manufacturing installation of the multi chip module according to claim 17 characterized by being what irradiates light at some photo-curing resin film of the chip circumference using a reticle mask.

[Claim 19] Said optical system is the manufacturing installation of the multi chip module according to claim 17 which carries out opening of the desired hole to each feather of a blind shutter, and is characterized by being what irradiates light by adjusting shutter feather at some photo-curing resin film of the chip circumference.

[Claim 20] The coat means which is equipment which manufactures the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The stage which supports said support substrate, and a chip conveyance means to be in the photo-curing resin film by which the coat was carried out with said coat means, and to convey a chip by face up in the predetermined flat-surface location and the predetermined, predetermined height on a support substrate, The manufacturing installation of the multi chip module characterized by providing the optical system which light is irradiated [optical system] at said photo-curing resin film, and stiffens the photo-curing resin film where a chip is held in said predetermined flat-surface location and predetermined, predetermined height with said chip conveyance means.

[Claim 21] Said optical system is the manufacturing installation of the multi chip module according to claim 20 characterized by being what irradiates light at said chip top face and the photo-curing resin film of the circumference of it.

[Claim 22] Said optical system is the manufacturing installation of the multi chip module according to claim 20 characterized by being what irradiates light at said chip inferior surface of tongue and the photo-curing resin film of the circumference of it.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In order to make the function aiming at two or more semiconductor devices produced according to the individual attain, it connects electrically, and this invention relates to the multi chip module used as one electronic parts and its manufacture approach, and a manufacturing installation.

[0002]

[Description of the Prior Art] In order to meet the demand for which electric products, such as small, a light weight, and a low power, are asked, the mounting technology which attaches these semiconductor devices to high density with the high accumulation component manufacturing technology of a semiconductor device from the former is also developing. And in order to realize further high density assembly, in addition to a multilayer-interconnection substrate and bare chip mounting, the multi chip module technique of assembling two or more semiconductor devices as one electronic parts beforehand, and mounting them is developed in each company.

[0003] In addition to compression of mounting occupancy area, the high-speed operation by distance compaction of wiring between components is expected from the multi chip module (it abbreviates to MCM hereafter).

[0004] By the method which mounts an LSI chip on the multilayer-interconnection substrate formed beforehand by face down, Si wafer is used for a support substrate and the approach of making formation of detailed wiring easy by using a wafer process is put in practical use. However, in order to mount a chip by face down by this method, it is difficult for the problem of alignment precision of doubling the circuit location in a chip and the wiring location on a support substrate to arise, and to raise packaging density.

[0005] As an approach of on the other hand shortening the distance of wiring between components by MCM which carried out face-up mounting of the chip, after mounting a component on a support substrate, the technique which forms the insulating layer by which flattening was carried out by carrying out the coat of the polyimide film of two or more layers, and forms on it wiring which connects between components is indicated by JP,5-47856,A. Moreover, in order to multilayer wiring between this component, MCM which used the inner beer hall is also developed.

[0006] Although the further detailed-ization of wiring between components is needed in order to raise the packaging density of MCM further, in the case of the method which forms a multilayer interconnection on a face-up mounting chip, the level difference by the thickness of the component in a component side serves as a serious failure. That is, in case wiring is formed with a level difference, poor formation of a patterning mask and an open circuit may occur.

[0007] Moreover, although the approach of deleting the chip mounting section of a support substrate and embedding a chip at the support substrate of the part is described by JP,5-47856,A, there is a problem that the thickness variation of the dozens of micrometers chip by the variation in BGR will remain.

[0008] Moreover, in JP,7-202115,A and JP,9-260581,A, the approach of imprinting the irregularity on the resin film and canceling the thickness variation of a chip is proposed after mounting a chip on a fixture plate. Although this approach is excellent in the point that it can adjust according to the height of the actually mounted chip, in order to carry out temporary mounting of the chip by face down at a fixture plate, the circuit pattern spacing (location) precision of each chip worsens. This serves as a failure of lithography patterning at the time of forming wiring during a chip.

[0009] Moreover, although the approach of carrying out opening of the connection hole greatly, and absorbing location gap of a chip is proposed in JP,7-202115,A, this approach serves as hindrance of the formation of wiring detailed.

[0010]

[Problem(s) to be Solved by the Invention] By the way, since it is necessary to produce a support substrate upwards for every type of MCM and the imprint process to resin is needed by the manufacture approach of the above-mentioned conventional MCM, there are many technical problems as a technique which mass-produces MCM also in that inline processing is difficult.

[0011] On the other hand, between chips is connected, without minding close and an output interface circuitry, and although there is a proposal that miniaturization and high performance-ization of MCM will be attained, for that, wiring of thousands of is needed. Naturally, although the formation technique of detailed wiring is needed, with the above-mentioned technique, the relative-position gap between chip circuits needs to increase the number of laminatings several times greatly. Now, the high-speed operation nature obtained just by a manufacturing cost's turning expensive up and shortening a wire length will fall.

[0012] The location of the circuit pattern of the chip built into MCM is determined with high precision, and the technique in which detailed-ization (for example, wiring of 2 micrometers or less) of wiring during a chip is realizable is needed for manufacture of such MCM. Therefore, development of the manufacture approach of MCM which can make wiring between components detailed for implementation of the further high density assembly of MCM is desired strongly.

[0013] This invention is made in consideration of the above situations, and the purpose makes wiring between components detailed, and is to offer the multi chip module which can realize high density assembly of the further chip and its manufacture approach, and a manufacturing installation.

[0014]

[Means for Solving the Problem] The multi chip module which starts this invention in order to solve the above-mentioned technical problem is a multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and is characterized by providing the photo-curing resin film by which the coat was carried out on the support substrate, and two or more chips which were mounted on said support substrate by face up, and were fixed to said photo-curing resin film.

[0015] The multi chip module concerning this invention is a multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and is characterized by providing the light reflex film formed on the support substrate, the photo-curing resin film by which the coat was carried out on said light reflex film, and two or more chips which were mounted on said support substrate by face up, and were fixed to said photo-curing resin film.

[0016] Moreover, in the multi chip module concerning this invention, it is desirable that the protective coat which was formed on the interlayer insulation film formed on said photo-curing resin film, the connection hole which was prepared in said interlayer insulation film, and which is located on said chip, and said interlayer insulation film, and was formed on the circuit pattern connected to said connection hole, said circuit pattern, and said interlayer insulation film is included further.

[0017] Moreover, in the multi chip module concerning this invention, it is desirable that the circuit pattern of the maximum upper layer of each of two or more of said chips is arranged at the same height. Thereby, detailed-ization of wiring between chips becomes easy, and the miniaturization of the multi chip module by the formation of wiring detailed of it is attained.

[0018] The manufacture approach of the multi chip module concerning this invention The process which is the manufacture approach of the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The process which is in said photo-curing resin film, and mounts two or more chips on the predetermined flat-surface location and the predetermined, predetermined height on a support substrate by face up, and by irradiating light at said photo-curing resin film, and stiffening the photo-curing resin film It is characterized by providing the process which fixes said chip to said predetermined flat-surface location and predetermined, predetermined height.

[0019] By the manufacture approach of the above-mentioned multi chip module, since a chip is fixed to a predetermined flat-surface location and predetermined, predetermined height by irradiating light at the photo-curing resin film, and stiffening the photo-curing resin film, the precision which arranges the front face of each chip can be improved, and the relative-position precision during the chip built into a multi chip module can be improved. Therefore, it becomes easy, and detailed-ization of wiring between chips can increase the number of wiring which can be formed, and can realize high density assembly of the further chip, and the miniaturization of the multi chip module by the formation of wiring detailed of it is attained.

[0020] The manufacture approach of the multi chip module concerning this invention The process which is the manufacture approach of the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and forms the light reflex film on a support substrate, The process which carries out the coat of the photo-curing resin film on said light reflex film, and the process which is in said photo-curing resin film, and mounts two or more chips on the predetermined flat-surface location and the predetermined, predetermined height on a support substrate by face up, By irradiating light at said photo-curing resin film, and stiffening the photo-curing resin film, it is characterized by providing the process which fixes said chip to said predetermined flat-surface location and predetermined, predetermined height.

[0021] By the manufacture approach of the above-mentioned multi chip module, in order to form the light reflex film on a support substrate and to carry out the coat of the photo-curing resin film on it, when light is irradiated at the photo-curing resin film, with the light reflex film, exposure light can be reflected and resin hardening can be advanced thereby more efficiently.

[0022] Moreover, in the manufacture approach of the multi chip module concerning this invention, it is

desirable to include further the process which forms an interlayer insulation film on said photo-curing resin film after said process to fix, the process which prepares the connection hole located on said chip in said interlayer insulation film, the process which form the circuit pattern located on said connection hole on said interlayer insulation film, and the process which form a protective coat on said circuit pattern and said interlayer insulation film.

[0023] Moreover, in the manufacture approach of the multi chip module concerning this invention, it is desirable that it is what mounts said chip on a predetermined flat-surface location to a support substrate while said process to mount carries out the image recognition of the surface pattern of said chip and locates this surface pattern in predetermined height to a support substrate based on the image.

[0024] Moreover, as for said process to mount, in the manufacture approach of the multi chip module concerning this invention, it is desirable that it is what performs the process mounted the whole chip two or more times.

[0025] Moreover, about the manufacture approach of the multi chip module concerning this invention, in case light is irradiated in said process to fix at the photo-curing resin film, it is also possible to irradiate light at said chip top face and the photo-curing resin film of the circumference of it. Moreover, in case light is irradiated in said process to fix at the photo-curing resin film, it is also possible to irradiate light at said chip inferior surface of tongue and the photo-curing resin film of the circumference of it.

[0026] Moreover, about the manufacture approach of the multi chip module concerning this invention, in case light is irradiated in said process to fix at the photo-curing resin film, it is also possible to irradiate light at some photo-curing resin film of said chip circumference. Spacing of the chip to mount can be narrowed by this, high density assembly of the further chip can be realized, and the miniaturization of a multi chip module is attained.

[0027] Moreover, as for said predetermined height, it is desirable about the manufacture approach of the multi chip module concerning this invention that the height of the circuit pattern of the maximum upper layer of each of two or more of said chips is what is equal to the same height.

[0028] Moreover, about the manufacture approach of the multi chip module concerning this invention, it is desirable to include further the process which stamps a target mark on the reference point of the location which mounts a chip at a support substrate before the process which carries out the coat of said photo-curing resin film.

[0029] The manufacturing installation of the multi chip module concerning this invention The coat means which is equipment which manufactures the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The stage which supports said support substrate, and a chip conveyance means to be in the photo-curing resin film by which the coat was carried out with said coat means, and to convey a chip by face up in the predetermined flat-surface location and the predetermined, predetermined height on a support substrate, It is characterized by providing the optical system which light is irradiated [optical system] at said photo-curing resin film, and stiffens the photo-curing resin film.

[0030] moreover, about the manufacturing installation of the multi chip module concerning this invention The image data of the surface pattern recognized according to the image recognition optical system which carries out the image recognition of the surface pattern of said chip, and this image recognition optical system for said chip conveyance means Delivery, While locating this surface pattern in predetermined height to a support substrate based on this image data, it is desirable to include further the control means which controls a chip conveyance means to convey said chip in a predetermined flat-surface location to a support substrate.

[0031] The manufacturing installation of the multi chip module concerning this invention The coat means which is equipment which manufactures the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The stage which supports said support substrate, and a chip conveyance means to be in the photo-curing resin film by which the coat was carried out with said coat

means, and to convey a chip by face up in the predetermined flat-surface location and the predetermined, predetermined height on a support substrate, It is characterized by providing the optical system which light is irradiated [optical system] at some photo-curing resin film of said chip circumference, and stiffens the photo-curing resin film.

[0032] Moreover, as for said optical system, it is desirable about the manufacturing installation of the multi chip module concerning this invention that it is what irradiates light at some photo-curing resin film of the chip circumference using a reticle mask. Moreover, as for said optical system, it is desirable by carrying out opening of the desired hole to each feather of a blind shutter, and adjusting shutter feather that it is what irradiates light at some photo-curing resin film of the chip circumference.

[0033] The manufacturing installation of the multi chip module concerning this invention The coat means which is equipment which manufactures the multi chip module which connects two or more chips electrically mutually, and is closed in the same package, and carries out the coat of the photo-curing resin film on a support substrate, The stage which supports said support substrate, and a chip conveyance means to be in the photo-curing resin film by which the coat was carried out with said coat means, and to convey a chip by face up in the predetermined flat-surface location and the predetermined, predetermined height on a support substrate, It is characterized by providing the optical system which light is irradiated [optical system] at said photo-curing resin film, and stiffens the photo-curing resin film where a chip is held in said predetermined flat-surface location and predetermined, predetermined height with said chip conveyance means.

[0034] Moreover, as for said optical system, it is desirable about the manufacturing installation of the multi chip module concerning this invention that it is what irradiates light at said chip top face and the photo-curing resin film of the circumference of it. Moreover, as for said optical system, it is desirable that it is what irradiates light at said chip inferior surface of tongue and the photo-curing resin film of the circumference of it.

[0035]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 (a) – (c) is the sectional view showing the production process of the support substrate for mounting Chip in the manufacture approach of the multi chip module by the operation gestalt 1 of this invention.

[0036] This operation gestalt describes MCM which combined memory and the signal-processing logic LSI. 32MBitDRAMChip(s) manufactured with the well-known technique, signal processing LSIChip, and the optical disk reading control LSIChip are set in mounting equipment for every Chip kind. Thickness after BGR of each Chip is set to 300 micrometers or less.

[0037] First, as shown in drawing 1 (a), on the front face with a thickness of 200mm it is thin to a support substrate of the Si wafer 11, an optical lithography method is used, a photoresist is applied, and patterning of this photoresist is carried out. Thereby, on the front face of the Si wafer 11, the resist pattern mask 13 for forming the target mark used as the criteria of an MCM formation field is formed.

[0038] Then, as shown in drawing 1 (b), the Si wafer 11 is engraved with the target mark 14 by performing chlorine-based dry etching by using a resist pattern 13 as a mask.

[0039] Next, as shown in drawing 1 (c), after removing said resist pattern mask 13, UV hardening resin film 15, such as admixture of diallyl phthalate, polyfunctional acrylate, and a photopolymerization initiator, is coated with the thickness of about 350 micrometers on the Si wafer 11 using coating equipment. Then, predrying of this UV hardening resin film 15 is performed, and the Si wafer 11 is carried in to chip mounting equipment after coating completion.

[0040] Drawing 2 (a) is the top view showing the array condition of each Chip mounted on the support substrate (Si wafer) shown in drawing 1 in the manufacture approach of the multi chip module by the operation gestalt 1 of this invention. Drawing 2 (b) is the top view which expanded unit MCM field 2b shown in drawing 2 (a).

[0041] as MCM — every — Chip is arranged how or Unit MCM is arranged how on a support substrate — those data — mounting equipment — inputting — every — the location and array pattern mounted

for every Chip are determined. Moreover, in order to stiffen the resin of the perimeter of Chip so that it may mention later, 50 micrometers or more of Chip spacing are detached, and it sets it up.

[0042] As an example, as shown in drawing 2 (a), two or more unit MCM2bs are arranged in the shape of a matrix on the support substrate 11. Moreover, about Unit MCM, signal processing LSIChip17 and DRAMChip19, the optical disk reading LSIChip21, and the target mark 14 are arranged, as shown in drawing 2 (b).

[0043] Moreover, the point which serves as the representation circuit pattern and Chip reference point for every Chip is registered as an optical image, and the pattern judging recipe which performs location recognition by the optical image is produced for every Chip to mount.

[0044] next, the support substrate (Si wafer) shown in drawing 1 — every — the process which mounts Chip is explained, referring to drawing 3 – drawing 8 . Drawing 3 – drawing 8 are the sectional views for explaining how mounting each Chip on a support substrate in the manufacture approach of the multi chip module by the operation gestalt 1 of this invention.

[0045] First, the support substrate 11 shown in drawing 1 (c) is conveyed on the after-mentioned support substrate stage 45, and the location of a support substrate is doubled with a reference point according to optical image recognition like the case of Chip. Then, as shown in drawing 3 , DRAMChip19 which carried out rough alignment from the appearance is conveyed by face up near the mounting reference point 23 set up on the support substrate (Si wafer) 11 using the Chip conveyance arm 25 of mounting equipment. Next, it is DRAM by the image recognition optical system 26 of mounting equipment. The image of the circuit pattern of Chip19 is captured. In addition, if the height adjustment of Chip performs focus control of image incorporation at this time, the height of a circuit side can also be doubled with a reference point.

[0046] Then, as shown in drawing 4 , the height of Chip19 is amended so that the focus of an incorporation image may suit. That is, the height of Chip19 is amended so that the height of the mounting reference point 23 and the Chip reference point 24 may suit.

[0047] Next, the image of the circuit pattern of Chip19 registered beforehand is compared with the optical image which incorporated the circuit pattern of Chip to mount, and the Chip reference point 24 is judged.

[0048] Next, as shown in drawing 5 , the horizontal position of Chip19 is amended using the Chip conveyance arm 25 so that the mounting reference point 23 and the Chip reference point 24 may be in agreement. Thus, the circuit location of Chip is correctly doubled with a reference point. Then, by moving the support substrate stage (not shown) in which the support substrate 11 is laid, the support substrate 11 is moved so that the target mark 14 may come near the mounting reference point 23.

[0049] Next, as shown in drawing 6 , the location of the target mark 14 is detected using the laser light 27 of mark location detection equipment (not shown), and the location of the support substrate 11 is amended so that the target mark 14 may be located in the relative position to the set-up mounting reference point 23.

[0050] Then, as shown in drawing 7 , Chip19 is embedded by raising a support substrate stage to fixed height in the mounting predetermined position of the photo-curing resin layer 15.

[0051] Next, as shown in drawing 8 , the resin 15 around Chip19 is stiffened by using the UV optical system 29 for the resin layer 15 which includes the Chip circumference from the Chip upper part, and irradiating UV light 29a, where Chip19 is embedded. By this, embedded Chip19 will be fixed with hardening resin in an exact location. The UV irradiation conditions in this case set exposure energy to 4000mJ(s), using mercury lamp i line spectrum light with a wavelength of 365nm as the light source.

[0052] After stiffening the above-mentioned resin 15, a Chip conveyance arm is pulled up and removed from resin 15, and the next Chip is conveyed. Then, DRAMChip19 is mounted on all the MCM formation fields in the support substrate 11 by repeating the procedure shown in drawing 3 – drawing 8 .

[0053] Next, the collating image data of signal processing LSIChip is changed continuously, and signal processing LSIChip is mounted on the support substrate 11 by the same approach as the above. Then, optical disk reading LSIChip is mounted on the support substrate 11 by the still more nearly same

approach as the above.

[0054] After ending mounting of all LSIChip(s) constructed as MCM, the support substrate 11 is taken out from a support substrate stage to the exposure section, this support substrate is laid in a complete exposure stage, and the mercury lamp of 500W performs exposure for 30 seconds on this stage. Thereby, all the parts that are not hardened in resin 15 are stiffened (not shown). In addition, non-hardening resin may be stiffened and the resin may be used as it is as a level difference flattening layer between Chip(s). According to the above process, where alignment is carried out correctly, Chip mounting to a support substrate of the circuit pattern location and height of LSIChip is attained.

[0055] Drawing 9 is the block diagram showing the equipment which does a series of Chip mounting activities mentioned above. Drawing 10 is the block diagram showing the exposure section shown in drawing 9.

[0056] As shown in drawing 9, Chip mounting equipment has composition similar to the coating-machine developer stepper who is used for semi-conductor manufacture and by whom in-line connection was made, and consists of the coating-machine section 31 and the exposure section 33.

[0057] A photo-curing resin coat and predrying are performed in the coating-machine section 31, and, as for the support substrate (Si wafer) conveyed from the cassette, mounting, location amendment, and exposure of Chip (resin hardening for every Chip) are performed in mounting / exposure section 33. After a support substrate is again carried to the coating-machine section 31 and stiffens all resin on the complete exposure stage 40, it is returned to a cassette 35.

[0058] That is, it has become possible for the coating-machine section 31 to install four cassettes in the support substrate cassette loader 35, and a support substrate is carried by the arm robot 39 through the interface buffer 37. There is a field which the arm robot 39 moves to the pin center, large section, and the resin coat cup 38, the BEKU stage 36 for predrying, and the complete exposure stage 40 are arranged across the arm migration field.

[0059] The interface buffer 41 is formed between the coating-machine section 31 and the exposure section 33. Thereby, delivery of the support substrate between the coating-machine section 31 and the exposure section 33 is attained.

[0060] As shown in drawing 10, the exposure section 33 A support substrate The mark location of the substrate stage drive system 46 which makes the support substrate transfer system 43 to convey, the highly precise support substrate stage 45, and the substrate stage 45 drive, UV exposure optical system 47, the Chip image incorporation optical system (image recognition optical system) 49 which captures a Chip image, a mercury lamp 50, and a support substrate To the Chip conveyance system 53 which conveys Chip mounted on the laser optical system 51 to detect (sensing), the Chip storage 52, the Chip rough alignment stage 54 which performs rough alignment of Chip, and a support substrate, and a support substrate, Chip It consists of Chip mounting arms 55 to mount.

[0061] The blind shutter 56 which restricts an exposure field is formed in UV exposure optical system 47. The exposure field which exposes photo-curing resin by this brand shutter.56 according to the data of the dimension of Chip to mount can be restricted to the range of 20 micrometers of the Chip and Chip circumference.

[0062] In this aligner 33, incorporation of a Chip image is performed through UV exposure optical system 47 using the half mirror 57, and the focus of the exposure light from the Chip image incorporation optical system 49 is adjusted so that it may be in agreement with a mounting reference point.

[0063] Moreover, the aligner 33 has the control section (not shown) which controls a motion of the arm robot 39. It controls the arm robot 39 to convey Chip in a proper flat-surface location to a support substrate while the image data of the surface pattern recognized according to the Chip image incorporation optical system 49 locates this surface pattern in said chip conveyance means to a support substrate at proper height based on delivery and this image data as for this control section.

[0064] With Chip mounting equipment, since the coat of the photo-curing resin is carried out on a support substrate in the resin coating cup 38 of the coating-machine section 31, a series of activities to hardening of location amendment of Chip, mounting of Chip, exposure (namely, Chip resin hardening),

and non-hardening resin can be done continuously.

[0065] After completing mounting of Chip to a support substrate top, wiring between Chip(s) for making it function as MCM is formed. It explains referring to drawing 11 about the approach of forming wiring between Chip(s) in below.

[0066] Drawing 11 (a) – (d) is a sectional view for explaining how forming wiring between Chip(s).

[0067] As shown in drawing 11 (a), the interlayer insulation film 61 with a thickness of about 1 micrometer is deposited on mounted Chip 17 and 19 and UV hardening resin film 15. Next, hole pattern 63a for connection of about 5-micrometer angle is formed on the pad for connection (not shown) at the photoresist film 63, taking a circuit pattern and the optical alignment 62 using the optical lithography equipment for the processes before a semi-conductor. In addition, this pattern formation may perform alignment focus adjustment for every Chip group set to MCM, and every Chip.

[0068] Then, as shown in drawing 11 (b), an interlayer insulation film 61 is etched by using the photoresist film 63 as a mask using the insulator layer processing dry etching system for before [a semi-conductor] processes. Thereby, opening of the connection hole 61a is carried out to an interlayer insulation film 61.

[0069] Next, after removing the photoresist film 63, the photoresist film 65 is formed on an interlayer insulation film 61. Then, wiring negative pattern 65a for forming the circuit pattern between Chip(s) of about 2-micrometer width of face in this photoresist film 65 is formed using said optical lithography equipment. Next, an interlayer insulation film 61 is etched by using the photoresist film 65 as a mask using said dry etching system. Thereby, circuit pattern slot 61b of about 2-micrometer depth located on connection hole 61a is formed in an interlayer insulation film 61.

[0070] Then, the photoresist film 65 is removed, and as shown in drawing 11 (c), after depositing 50nm of Cu film by the sputter as a nuclear growth layer in connection hole 61a and circuit pattern slot 61b and on an interlayer insulation film 61, 5 micrometers of Cu film are grown up by electroless deposition. Next, using the CMP (Chemical Mechanical Polishing) equipment for Cu, by carrying out polish removal of the Cu film on interlayer insulation films other than slot 61b, Cu film is embedded in connection hole 61a, and the 1st layer Cu wiring 66 is formed in circuit pattern slot 61b.

[0071] Moreover, by repeating the process of drawing 11 (a) – (c), when the 2nd-layer wiring is required, as shown in drawing 11 (d), the 2nd layer Cu wiring 69 and a pad 71 are formed in the interlayer insulation film 67 on the 1st layer Cu wiring 66.

[0072] Next, the coat of the circuit protective coat 73 is carried out on the 2nd layer Cu wiring 69 and a pad 71, and after that, only a pad 71 top removes a protective coat 73, and forms a bump 75 by the well-known approach on a pad 71.

[0073] According to the above-mentioned operation gestalt 1, the circuit forming face (height) of each Chip can be placed neatly on the same flat surface, and the relative-position precision between Chip(s) can be raised. For this reason, if Chip(s) wiring formation is attained by the same approach as a LSIChip production process, for example, a line aligner is used for Chip(s) wiring formation, wiring of 0.5-micrometer Rhine / 0.5-micrometer tooth space can also be formed. Therefore, it becomes possible about wiring width of face to form wiring between Chip(s) with the sufficient dependability also as 2 micrometers or less. With this technique, the wiring consistency which can be formed in MCM can be raised by leaps and bounds, and manufacture of small [which makes connection between Chip(s) which does not mind close and an output interface circuitry], and the low consumption electrode MCM is attained.

[0074] Moreover, by detailed-ization of wiring between Chip(s), the number of wiring which can be formed can be increased by leaps and bounds, and manufacture of the multi chip module which ties up wiring between Chip(s), without letting close and an output circuit pass is attained. Moreover, it becomes possible to miniaturize the magnitude of the contact (pad) connected with wiring between Chip(s), and the design degree of freedom of LSI incorporated as MCM can be improved.

[0075] Next, the manufacture approach of the multi chip module by the operation gestalt 2 of this invention is explained. This operation gestalt describes the example which forms MCM which combined

memory and the signal-processing logic LSI as well as the operation gestalt 1 on a quartz support substrate.

[0076] 32MBitDRAMChip(s) manufactured with the well-known technique, signal processing LSIChip, and the optical disk reading control LSIChip are set in mounting equipment for every Chip kind. Thickness after BGR of each Chip is set to 300 micrometers or less.

[0077] First, the resist pattern mask of a target mark used as the criteria of an MCM formation field is formed in a quartz wafer with a thickness of 200mm it is thin to a support substrate by the optical lithography method like the operation gestalt 1, and it is engraved with a target mark by the dry etching of a fluorine system at a quartz wafer.

[0078] Next, after removing a resist pattern, UV hardening resin, such as for example, diallyl phthalate, polyfunctional acrylate and a photopolymerization initiator, and admixture of an epoxy resin, is coated with the thickness of about 350 micrometers on a quartz wafer using coating equipment. Then, predrying of this UV hardening resin film is performed, and a quartz wafer is carried in to chip mounting equipment after coating completion.

[0079] next — as MCM — every — Chip is arranged how or Unit MCM is arranged how on a support substrate — those data — mounting equipment — inputting — every — the location and array pattern mounted for every Chip are determined. Moreover, in order to stiffen the resin of the perimeter of Chip so that it may mention later, 50 micrometers or more of Chip spacing are detached, and it sets it up.

[0080] Next, the point which serves as the representation circuit pattern and Chip reference point for every Chip is registered as an optical image, and the pattern judging recipe which performs location recognition by the optical image is produced for every Chip to mount.

[0081] next, a support substrate (quartz wafer) — every — the process which mounts Chip is explained, referring to drawing 12 – drawing 17 . Drawing 12 – drawing 17 are the sectional views for explaining how mounting each Chip on a support substrate in the manufacture approach of the multi chip module by the operation gestalt 2 of this invention.

[0082] First, as shown in drawing 12 , DRAMChip19 which carried out rough alignment from the appearance is conveyed by face up near the mounting reference point 23 set up on the support substrate (quartz wafer) 76 using the top-face adsorption arm 77 of mounting equipment. Next, it is DRAM by the image recognition optical system 26 of mounting equipment. The image of the circuit pattern of Chip19 is captured.

[0083] Then, as shown in drawing 13 , the height of Chip19 is amended so that the focus of an incorporation image may suit.

[0084] Next, the image of the circuit pattern of Chip19 registered beforehand is compared with the optical image which incorporated the circuit pattern of Chip to mount, and the Chip reference point 24 is judged.

[0085] Next, as shown in drawing 14 , the horizontal position of Chip19 is amended using the top-face adsorption arm 77 so that the mounting reference point 23 and the Chip reference point 24 may be in agreement. Then, by moving the support substrate stage (not shown) in which the support substrate 76 is laid, the support substrate 76 is moved so that the target mark 14 may come near the mounting reference point 23.

[0086] Next, as shown in drawing 15 , the location of the target mark 14 is detected using the laser light 27 of mark location detection equipment (not shown), and the location of the support substrate 76 is amended so that the target mark 14 may be located in the relative position to the set-up mounting reference point 23.

[0087] Then, as shown in drawing 16 , Chip19 is embedded by raising a support substrate stage to fixed height in the mounting predetermined position of the photo-curing resin layer 15.

[0088] Next, the resin layer 15 which includes the Chip circumference from the Chip lower part is made to harden the perimeter of Chip19, and the resin 15 directly under Chip by irradiating the UV light 79, where Chip19 is embedded as shown in drawing 17 . By this, embedded Chip19 will be fixed with hardening resin in an exact location. The UV irradiation conditions in this case set exposure energy to

6000mJ(s), using mercury lamp i line spectrum light with a wavelength of 365nm as the light source.

[0089] After stiffening the above-mentioned resin 15, the top-face adsorption arm 77 is pulled up and removed from resin 15, and the next Chip is conveyed. Then, DRAMChip19 is mounted on all the MCM formation fields in the support substrate 76 by repeating the procedure shown in drawing 12 – drawing 17 .

[0090] Next, the collating image data of signal processing LSIChip is changed continuously, and signal processing LSIChip is mounted on the support substrate 76 by the same approach as the above. Then, optical disk reading LSIChip is mounted on the support substrate 76 by the still more nearly same approach as the above.

[0091] After ending mounting of all LSIChip(s) constructed as MCM, the support substrate 76 is taken out from a support substrate stage, this support substrate is laid in a heating stage, and BEKU for 300 seconds is performed at 200 degrees C on this stage. Thereby, all the parts that are not hardened in resin 15 are stiffened (not shown).

[0092] Drawing 18 is the block diagram showing the equipment which does a series of Chip mounting activities mentioned above. Drawing 19 is the block diagram showing the exposure section shown in drawing 18 .

[0093] Although the Chip mounting equipment shown in drawing 18 has composition similar to the coating-machine developer stepper who is used for semi-conductor manufacture like the equipment of drawing 9 and by whom in-line connection was made and it consists of the coating-machine section 81 and the exposure section 83, compared with the equipment of drawing 9 , as for the equipment of drawing 18 , the exposure sections 83 differ greatly.

[0094] In the coating-machine section 81, the coat and predrying of admixture of photo-curing resin and heat-curing resin are performed, and, as for the support substrate (quartz wafer) conveyed from the cassette, mounting, location amendment, and exposure of Chip (resin hardening for every Chip) are performed in mounting / exposure section 83. After a support substrate is again carried to the coating-machine section 81 and stiffens all resin on the heating stage 90 for complete hardening, it is returned to a cassette 35.

[0095] That is, it has become possible for the coating-machine section 81 to install four cassettes in the support substrate cassette loader 35, and a support substrate is carried by the arm robot 39 through the interface buffer 37. There is a field which the arm robot 39 moves to the pin center, large section, and the resin coat cup 38, the BEKU stage 36 for predrying, and the heating stage 90 for complete hardening are arranged across the arm migration field.

[0096] The interface buffer 41 is formed between the coating-machine section 81 and the exposure section 83. Thereby, delivery of the support substrate between the coating-machine section 81 and the exposure section 83 is attained.

[0097] As shown in drawing 19 , the exposure section 83 A support substrate The mark location of the Chip image incorporation optical system (image recognition optical system) 49 and a support substrate which captures the substrate stage drive system 46 which makes the support substrate transfer system 43 to convey, the highly precise support substrate stage 45, and the substrate stage 45 drive, UV exposure optical system 47, a mercury lamp 50, and a Chip image To the Chip conveyance system 53 which conveys Chip mounted on the laser optical system 51 to detect (sensing), the Chip storage 52, the Chip rough alignment stage 54 which performs rough alignment of Chip, and a support substrate, and a support substrate, Chip It consists of Chip mounting vacuum adsorption arms 77 to mount.

[0098] The substrate stage 45 has taken the method which fixes the perimeter of a quartz substrate, and the flesh-side surface part of a quartz substrate serves as made in [quartz] the cavity. UV exposure optical system 47 is arranged at the rear-face side of a quartz substrate, and the blind shutter 56 which restricts an exposure field is formed in this UV exposure optical system 47. The exposure field which exposes photo-curing resin by this blind shutter 56 according to the data of the dimension of Chip to mount can be restricted to the range of 20 micrometers of the Chip and Chip circumference.

[0099] In this aligner 83, the Chip image is captured from the top face of Chip, and the focus of the

exposure light from the Chip image incorporation optical system 49 is adjusted so that it may be in agreement with a mounting reference point.

[0100] Moreover, the aligner 83 has the control section (not shown) which controls a motion of the arm robot 39. It controls the arm robot 39 to convey Chip in a proper flat-surface location to a support substrate while the image data of the surface pattern recognized according to the Chip image incorporation optical system 49 locates this surface pattern in said chip conveyance means to a support substrate at proper height based on delivery and this image data as for this control section.

[0101] With Chip mounting equipment, since the coat of the photo-curing resin is carried out on a support substrate in the resin coating cup 38 of the coating-machine section 81, a series of activities to hardening of location amendment of Chip, mounting of Chip, exposure (namely, Chip resin hardening), and non-hardening resin can be done continuously.

[0102] After completing mounting of Chip to a support substrate top, wiring between Chip(s) for making it function as MCM is formed by the same approach as the operation gestalt 1.

[0103] Also in the above-mentioned operation gestalt 2, the same effectiveness as the operation gestalt 1 can be acquired.

[0104] Moreover, since this operation gestalt can harden the Chip circumference and resin [directly under] where Chip is supported with an arm 77, a point with little possibility that Chip will move at the time of unexposed resin hardening after Chip mounting termination is a merit. Moreover, since the top-face adsorption arm 77 holds Chip by vacuum adsorption, it can prevent raising dust and the conveyance mistake by resin 15 adhering to an arm 77.

[0105] Next, the manufacture approach of the multi chip module by the operation gestalt 3 of this invention is explained. This operation gestalt describes the example which forms MCM which approached and combined memory and the signal-processing logic LSI from the operation gestalt 1 as well as the operation gestalt 1 on a support substrate.

[0106] 32MBitDRAMChip(s) manufactured with the well-known technique, signal processing LSIChip, and the optical disk reading control LSIChip are set in mounting equipment for every Chip kind. Thickness after BGR of each Chip is set to 300 micrometers or less.

[0107] First, Si wafer with a thickness of 200mm it is thin to a support substrate deposits only on the front face beforehand the aluminum film 88 shown in drawing 21 with a thickness of about 200nm. This aluminum film 88 acts as reflective film of UV light. The resist pattern mask of a target mark used as the criteria of an MCM formation field is formed in Si wafer by the optical lithography method like the operation gestalt 1, and it is engraved with a target mark by the dry etching of a chlorine system at aluminum film and Si wafer.

[0108] Next, after removing a resist pattern, UV hardening resin, such as admixture of for example, a diallyl phthalate, polyfunctional acrylate, and a photopolymerization initiator, is coated with the thickness of about 350 micrometers on Si wafer using coating equipment. Then, predrying of this UV hardening resin film is performed, and Si wafer is carried in to chip mounting equipment after coating completion.

[0109] next — as MCM — every — Chip is arranged how or Unit. MCM is arranged how on a support substrate — those data — mounting equipment — inputting — every — the location and array pattern mounted for every Chip are determined. In this case, a Chip spacing limit shall be narrowed to 30 micrometers, it shall approach more, and Chip shall be arranged.

[0110] Next, the point which serves as the representation circuit pattern and Chip reference point for every Chip is registered as an optical image, and the pattern judging recipe which performs location recognition by the optical image is produced for every Chip to mount.

[0111] Then, a location and height are adjusted for every Chip by the same approach as the operation gestalt 1, Chip is embedded to resin, resin is stiffened by optical exposure, and Chip is fixed. It carries out by projecting the reticle [exposure / this / optical] pattern according to Chip size. The exposure of light is attained only in the part of the Chip circumference so that this may not lap with the hardening field of adjoining Chip. For this reason, the operation gestalt 1 is enabled to make distance between Chip(s) narrower than 50 micrometers, and the number of MCM which can be formed in the

miniaturization of MCM and one support substrate can be increased.

[0112] Moreover, the reticle which determines an optical spot is exchanging automatically and working for every Chip kind to mount, and continuous operation equivalent to the operation gestalt 1 is also possible for it.

[0113] Wiring between Chip(s) for functioning as MCM like the operation gestalt 1 is formed after the completion of Chip mounting.

[0114] In case drawing 20 (a) and (b) embed Chip to resin and stiffen resin by optical exposure, they are the top view showing signs that project the reticle pattern according to Chip size, and an optical exposure is performed. On the other hand, drawing 20 (c) and (d) are the top views showing signs that the optical exposure was carried out to resin by the approach of the operation gestalt 1.

[0115] Since the exposure field 86 had been arranged on ChipA and the outskirts of it with the operation gestalt 1 as shown in drawing 20 (c), Chip spacing was L2 need when carrying out contiguity arrangement of ChipA and the ChipB. On the other hand, with this operation gestalt, as shown in drawing 20 (a), in order to project a reticle pattern and to carry out an optical exposure, the partial exposure field 85 by which the optical exposure was carried out is located so that Chip may be straddled to four places of the periphery of ChipA. Thus, if the partial exposure field 85 is arranged, it can approach and ChipA and ChipB can be arranged, and Chip spacing can be set to L1 [narrower than L2] as shown in drawing 20 (b).

[0116] In addition, the partial exposure field 85 shown in drawing 20 (c) is a mere example, and it is also possible to make a partial exposure field into other configurations.

[0117] Moreover, with this operation gestalt, since the bottom of the resin 15 of the support substrate 11 is covered with the aluminum film 88, when the UV light 89 which stiffens resin 15 is made to irradiate as shown in drawing 21 , UV light can reflect with the aluminum film 88, and resin hardening can be advanced more efficiently.

[0118] Drawing 22 is the block diagram showing the exposure section in the Chip mounting equipment used for manufacture of the multi chip module by the operation gestalt 3 of this invention in which partial exposure is possible, gives the same sign to the same part as drawing 10 , and explains only a different part.

[0119] This exposure section has the reticle stocker 92 which contains the reticle mask for exchange while having the reticle mask 91 for restricting an exposure field. Furthermore, the exposure section has the reticle conveyance system 93 for working for every Chip kind to mount, exchanging the reticle mask 91 automatically.

[0120] Also in the above-mentioned operation gestalt 3, the same effectiveness as the operation gestalt 1 can be acquired.

[0121] In addition, although the exposure field is restricted with the above-mentioned operation gestalt 3 using the reticle mask 91, the same partial exposure is possible also by carrying out opening of the desired hole to each feather of the blind shutter of the equipment shown in drawing 10 , and adjusting shutter feather.

[0122] Moreover, it is possible for this invention not to be limited to the above-mentioned operation gestalt, but to change variously, and to carry out.

[0123]

[Effect of the Invention] Said chip is fixed to said predetermined flat-surface location and predetermined, predetermined height by according to this invention, being in the photo-curing resin film, mounting two or more chips on the predetermined flat-surface location and the predetermined, predetermined height on a support substrate by face up, as explained above, irradiating light at the photo-curing resin film, and stiffening the photo-curing resin film. Therefore, wiring between components can be made detailed and the multi chip module which can realize high density assembly of the further chip and its manufacture approach, and a manufacturing installation can be offered.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (a) – (c) is the sectional view showing the production process of the support substrate for mounting Chip in the manufacture approach of the multi chip module by the operation gestalt 1 of this invention.

[Drawing 2] every mounted on the support substrate (Si wafer) which shows drawing 2 (a) to drawing 1 – it is the top view showing the array condition of Chip, and drawing 2 (b) is the top view which expanded unit MCM field 2b shown in drawing 2 (a).

[Drawing 3] In the manufacture approach of the multi chip module by the operation gestalt 1 of this invention, it is the sectional view showing the process which explains how to mount each Chip on a support substrate, and captures the circuit image of Chip.

[Drawing 4] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 3 to it, and adjusts the height of Chip by focal amendment.

[Drawing 5] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 4 to it, and amends the horizontal position of a Chip reference point.

[Drawing 6] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 5 to it, and amends the location of a support substrate.

[Drawing 7] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 6 to it, and embeds Chip by rise of a support substrate.

[Drawing 8] It is the sectional view showing the process which how to mount each Chip is explained [process] to a support substrate, and the next process of drawing 7 is shown [process] in it, and stiffens the resin of the Chip circumference by the exposure of UV light.

[Drawing 9] It is the block diagram showing the Chip mounting equipment used for manufacture of the multi chip module by the operation gestalt 1 of this invention.

[Drawing 10] It is the block diagram showing the exposure section shown in drawing 9 .

[Drawing 11] Drawing 11 (a) – (d) is a sectional view for explaining how forming wiring between Chip(s).

[Drawing 12] In the manufacture approach of the multi chip module by the operation gestalt 1 of this invention, it is the sectional view showing the process which explains how to mount each Chip on a support substrate, and captures the circuit image of Chip.

[Drawing 13] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 12 to it, and adjusts the height of Chip by focal amendment.

[Drawing 14] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 13 to it, and amends the horizontal position of a Chip reference point.

[Drawing 15] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 14 to it, and amends the location of a support substrate.

[Drawing 16] It is the sectional view showing the process which explains how to mount each Chip to a support substrate, shows the next process of drawing 15 to it, and embeds Chip by rise of a support substrate.

[Drawing 17] It is the sectional view showing the process which how to mount each Chip is explained [process] to a support substrate, and the next process of drawing 16 is shown [process] in it, and stiffens the resin of the Chip circumference by the exposure of UV light.

[Drawing 18] It is the block diagram showing the Chip mounting equipment used for manufacture of the multi chip module by the operation gestalt 2 of this invention.

[Drawing 19] It is the block diagram showing the exposure section shown in drawing 18 .

[Drawing 20] Drawing 20 (a) - (d) is a top view for explaining the optical exposure approach to the resin by the operation gestalt 3 of this invention.

[Drawing 21] It is the sectional view showing signs that the optical exposure to the resin by the operation gestalt 3 of this invention is performed.

[Drawing 22] It is the block diagram showing the exposure section in the Chip mounting equipment used for manufacture of the multi chip module by the operation gestalt 3 of this invention in which partial exposure is possible.

[Description of Notations]

2b — Unit MCM, 11 — A support substrate (Si wafer), 13 — Resist pattern mask, 14 — A target mark, 15 — UV hardening resin film, 17 — Signal processing LSICChip 19 — DRAMChip, 19 — Chip, 21 — Optical disk reading LSICChip, 23 — A mounting reference point, 24 — A Chip reference point, 25 — Chip conveyance arm, 26 — Image recognition optical system, 27 — Laser light, 29 — UV optical system, 29 a—UV light, 31 — The coating-machine section, 33 — An aligner (exposure section), 35 — Support substrate cassette loader (cassette), 36 — The BEKU stage for predrying, 37 — Interface buffer, 38 — A resin coat cup, 39 — An arm robot, 40 — Complete exposure stage, 41 — An interface buffer, 43 — A support substrate transfer system, 45 — Support substrate stage, 46 — A substrate stage drive system, 47 — UV exposure optical system, 49 — Chip image incorporation optical system (image recognition optical system), 50 — A mercury lamp, 51 — Laser optical system, 52 — Chip storage, 53 — A Chip conveyance system, 54 — Chip rough alignment stage, 55 — A Chip mounting arm, 56 — A blind shutter, 57 — Half mirror, 61 [— Optical alignment,] — An interlayer insulation film, 61a — A connection hole, 61b — A circuit pattern slot, 62 63 — The photoresist film, 63a — The hole pattern for connection, 65 — Photoresist film, 65a — A wiring negative pattern, 66 — 1st layer Cu wiring, 67 — Interlayer insulation film, 69 [— Bump,] — 2nd layer Cu wiring, 71 — A pad, 73 — A circuit protective coat, 75 76 — A support substrate (quartz wafer), 77 — Top-face adsorption arm (Chip mounting vacuum adsorption arm), 79 [— A partial exposure field 86 / — An exposure field, 88 / — aluminum film (UV light reflex film), 89 / — UV light, 90 / — The heating stage for complete hardening, 91 / — A reticle mask, 92 / — A reticle stocker, 93 / — Reticle conveyance system.] — UV light, 81 — The coating-machine section, 83. — An aligner (exposure section), 85.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-28422

(P2001-28422A)

(43)公開日 平成13年1月30日(2001.1.30)

(51)Int.Cl.⁷

H 0 1 L 25/04

25/18

識別記号

F I

H 0 1 L 25/04

テーマコード(参考)

Z

審査請求 未請求 請求項の数22 O L (全 15 頁)

(21)出願番号 特願平11-199955

(22)出願日 平成11年7月14日(1999.7.14)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 上出 幸洋

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72)発明者 高岡 裕二

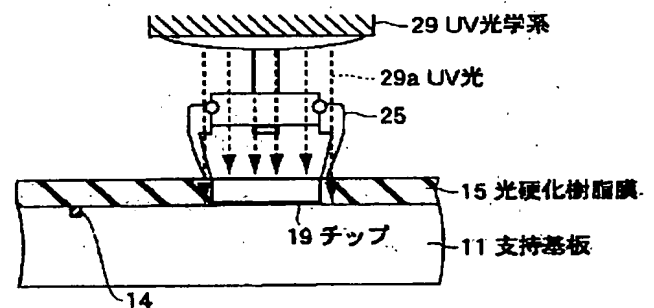
東京都品川区北品川6丁目7番35号ソニー株式会社内

(54)【発明の名称】 マルチチップモジュール及びその製造方法、製造装置

(57)【要約】

【課題】 素子間の配線を微細化し、更なるチップの高密度実装を実現できるマルチチップモジュール及びその製造方法、製造装置を提供する。

【解決手段】 本発明に係るマルチチップモジュールの製造方法は、複数のチップを互いに電気的に接続し、同一パッケージ内に封止するものである。このマルチチップモジュールの製造方法は、支持基板11上に光硬化樹脂膜15をコートする工程と、複数のチップ19を、前記光硬化樹脂膜15内であって支持基板11上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、前記光硬化樹脂膜15にUV光29aを照射して光硬化樹脂膜15を硬化させることにより、前記チップ19を前記所定の平面位置及び所定の高さに固定する工程と、を具備するものである。



(2)

【特許請求の範囲】

【請求項1】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールであって、

支持基板上にコートされた光硬化樹脂膜と、前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、を具備することを特徴とするマルチチップモジュール。

【請求項2】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールであって、

支持基板上に形成された光反射膜と、前記光反射膜上にコートされた光硬化樹脂膜と、前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、を具備することを特徴とするマルチチップモジュール。

【請求項3】 前記光硬化樹脂膜上に形成された層間絶縁膜と、

前記層間絶縁膜に設けられた、前記チップ上に位置する接続孔と、

前記層間絶縁膜上に形成され、前記接続孔に接続された配線パターンと、

前記配線パターン及び前記層間絶縁膜の上に形成された保護膜と、

をさらに含むことを特徴とする請求項1又は2記載のマルチチップモジュール。

【請求項4】 前記複数のチップそれぞれの最上層の配線パターンが同一高さに配置されていることを特徴とする請求項1又は2記載のマルチチップモジュール。

【請求項5】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、

支持基板上に光硬化樹脂膜をコートする工程と、複数のチップを、前記光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、

前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、

を具備することを特徴とするマルチチップモジュールの製造方法。

【請求項6】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、

支持基板上に光反射膜を形成する工程と、前記光反射膜上に光硬化樹脂膜をコートする工程と、複数のチップを、前記光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、

前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化さ

2

せることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、

を具備することを特徴とするマルチチップモジュールの製造方法。

【請求項7】 前記固定する工程の後に、前記光硬化樹脂膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記チップ上に位置する接続孔を設ける工程と、

前記層間絶縁膜上に、前記接続孔上に位置する配線パターンを形成する工程と、

前記配線パターン及び前記層間絶縁膜の上に保護膜を形成する工程と、

をさらに含むことを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項8】 前記マウントする工程は、前記チップの表面パターンを画像認識し、その画像に基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置にマウントするものであることを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項9】 前記マウントする工程は、1チップ毎マウントする工程を複数回行うものであることを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項10】 前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射することを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項11】 前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射することを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項12】 前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ周辺の一部の光硬化樹脂膜に光を照射することを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項13】 前記所定の高さは、前記複数のチップそれぞれの最上層の配線パターンの高さが同一高さに揃うものであることを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項14】 前記光硬化樹脂膜をコートする工程の前に、支持基板にチップをマウントする位置の基準点にターゲットマークを刻印する工程をさらに含むことを特徴とする請求項5又は6記載のマルチチップモジュールの製造方法。

【請求項15】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、

(3)

3

前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とするマルチチップモジュールの製造装置。

【請求項16】 前記チップの表面パターンを画像認識する画像認識光学系と、

この画像認識光学系により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置に搬送するようにチップ搬送手段を制御する制御手段と、

をさらに含むことを特徴とする請求項15記載のマルチチップモジュールの製造装置。

【請求項17】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、

支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、

前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ周辺の一部の光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、

を具備することを特徴とするマルチチップモジュールの製造装置。

【請求項18】 前記光学系は、レチクルマスクを用いて光をチップ周辺の一部の光硬化樹脂膜に照射するものであることを特徴とする請求項17記載のマルチチップモジュールの製造装置。

【請求項19】 前記光学系は、ブラインドシャッターの各羽に所望の穴を開け、シャッター羽を調整することによって光をチップ周辺の一部の光硬化樹脂膜に照射するものであることを特徴とする請求項17記載のマルチチップモジュールの製造装置。

【請求項20】 複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、

支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、

前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ搬送手段によりチップを前記所定の平面位置及び所定の高さに保持した状態で、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、

を具備することを特徴とするマルチチップモジュールの

4

製造装置。

【請求項21】 前記光学系は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射するものであることを特徴とする請求項20記載のマルチチップモジュールの製造装置。

【請求項22】 前記光学系は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射するものであることを特徴とする請求項20記載のマルチチップモジュールの製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、個別に作製された複数の半導体素子を目的とする機能を達成させるために電氣的に接続し、一つの電子部品とするマルチチップモジュール及びその製造方法、製造装置に関するものである。

【0002】

【従来の技術】小型・軽量・低消費電力といった電気製品に求められる要求に応えるため、従来から半導体素子の高集積素子製造技術と共に、これら半導体素子を高密度に組み付ける実装技術も発展してきている。そして、さらなる高密度実装を実現するため、多層配線基板・ベアチップ実装に加え、複数の半導体素子を予め一つの電子部品として組み立てて実装するマルチチップモジュール技術が各企業で開発されている。

【0003】マルチチップモジュール（以下、MCMと略す）には、実装占有面積の圧縮に加え、素子間配線の距離短縮による高速動作が期待されている。

【0004】予め形成された多層配線基板にLSIチップをフェースダウンでマウントする方式では、支持基板にSiウエハーを使用し、ウエハープロセスを利用する事で微細配線の形成を容易にする方法が実用化されている。しかし、この方式では、チップをフェースダウンでマウントするため、チップ内の回路位置と支持基板上の配線位置を合わせるアライメント精度の問題が生じ、実装密度を向上させることが難しい。

【0005】一方、チップをフェースアップマウントしたMCMで素子間配線の距離を短縮する方法として、素子を支持基板にマウントした後、複数層のポリイミド膜をコートする事で平坦化された絶縁層を形成し、その上に素子間を接続する配線を形成する技術が開平5-47856号公報に開示されている。また、この素子間配線を多層化するためにインナービアホールを用いたMCMも開発されている。

【0006】MCMの実装密度を更に上げるためには、素子間配線の更なる微細化が必要となるが、フェースアップマウントチップ上に多層配線を形成する方式の場合、実装面における素子の厚みによる段差が大きな障害となる。つまり、段差によって配線を形成する際にパターニングマスクの形成不良や断線が発生することがあ

10

20

30

40

50

(4)

5

る。

【0007】また、特開平5-47856号公報では、支持基板のチップマウント部を削り、その部分の支持基板にチップを埋め込む方法が述べられているが、BGRのバラツキによる数十 μm のチップの厚さバラツキが残ってしまうという問題がある。

【0008】また、特開平7-202115号公報及び特開平9-260581号公報では、治具板にチップをマウント後、樹脂膜にその凹凸を転写してチップの厚さバラツキをキャンセルする方法が提案されている。この方法は、実際にマウントするチップの高さに応じて調整が行える点で優れているが、治具板にチップをフェースダウンで仮マウントするために各チップの回路パターン間隔（位置）精度が悪くなる。これは、チップ間の配線を形成する際のリソグラフィパターンニングの障害となる。

【0009】また、特開平7-202115号公報では、接続孔を大きく開口し、チップの位置ズレを吸収する方法が提案されているが、この方法は配線微細化の妨げとなるものである。

【0010】

【発明が解決しようとする課題】ところで、上記従来のMCMの製造方法では、MCMのタイプ毎に支持基板を作製する必要がある上に、樹脂への転写工程が必要になるため、インライン処理が難しいという点でもMCMを量産する技術としては課題が多い。

【0011】一方、チップ間を、入・出力インターフェース回路を介さずに接続し、MCMの小型化・高性能化を図ろうという提案があるが、このためには数千本の配線を必要とする。当然、微細配線の形成技術が必要となるが、前述の技術では、チップ回路間の相対位置ズレが大きく積層数を数倍にする必要がある。これでは、製造コストが高価となる上に配線長を短縮してこそ得られる高速動作性が低下してしまう。

【0012】このようなMCMの製造には、MCMに組み込むチップの回路パターンの位置を高精度に決定し、チップ間の配線の微細化（例えば2 μm 以下の配線）を実現できる技術が必要となる。従って、MCMの更なる高密度実装の実現のために、素子間の配線を微細化することが可能なMCMの製造方法の開発が強く望まれている。

【0013】本発明は上記のような事情を考慮してなされたものであり、その目的は、素子間の配線を微細化し、更なるチップの高密度実装を実現できるマルチチップモジュール及びその製造方法、製造装置を提供することにある。

【0014】

【課題を解決するための手段】上記課題を解決するため、本発明に係るマルチチップモジュールは、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止

6

するマルチチップモジュールであって、支持基板上にコートされた光硬化樹脂膜と、前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、を具備することを特徴とする。

【0015】本発明に係るマルチチップモジュールは、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールであって、支持基板上に形成された光反射膜と、前記光反射膜上にコートされた光硬化樹脂膜と、前記支持基板にフェースアップでマウントされ、前記光硬化樹脂膜に固定された複数のチップと、を具備することを特徴とする。

【0016】また、本発明に係るマルチチップモジュールにおいては、前記光硬化樹脂膜上に形成された層間絶縁膜と、前記層間絶縁膜に設けられた、前記チップ上に位置する接続孔と、前記層間絶縁膜上に形成され、前記接続孔に接続された配線パターンと、前記配線パターン及び前記層間絶縁膜の上に形成された保護膜と、をさらに含むことが好ましい。

【0017】また、本発明に係るマルチチップモジュールにおいては、前記複数のチップそれぞれの最上層の配線パターンが同一高さに配置されていることが好ましい。これにより、チップ間配線の微細化が容易になり、配線微細化によるマルチチップモジュールの小型化が可能となる。

【0018】本発明に係るマルチチップモジュールの製造方法は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、支持基板上に光硬化樹脂膜をコートする工程と、複数のチップを、前記光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、を具備することを特徴とする。

【0019】上記マルチチップモジュールの製造方法では、光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、チップを所定の平面位置及び所定の高さに固定するため、個々のチップの表面を揃える精度を向上でき、マルチチップモジュールに組み込まれるチップ間の相対位置精度を向上できる。従って、チップ間配線の微細化が容易になり、形成可能な配線数を増やすことができ、更なるチップの高密度実装を実現でき、配線微細化によるマルチチップモジュールの小型化が可能となる。

【0020】本発明に係るマルチチップモジュールの製造方法は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールの製造方法であって、支持基板上に光反射膜を形成する工程と、前記光反射膜上に光硬化樹脂膜をコートする工程と、複数のチップを、前記光硬化樹脂膜内であって支持

(5)

7

基板上の所定の平面位置及び所定の高さにフェースアップでマウントする工程と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する工程と、を具備することを特徴とする。

【0021】上記マルチチップモジュールの製造方法では、支持基板上に光反射膜を形成し、その上に光硬化樹脂膜をコートするため、光硬化樹脂膜に光を照射した際に、光反射膜によって照射光を反射させ、それにより、より効率よく樹脂硬化を進行させることができる。

【0022】また、本発明に係るマルチチップモジュールの製造方法においては、前記固定する工程の後に、前記光硬化樹脂膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、前記チップ上に位置する接続孔を設ける工程と、前記層間絶縁膜上に、前記接続孔上に位置する配線パターンを形成する工程と、前記配線パターン及び前記層間絶縁膜の上に保護膜を形成する工程と、をさらに含むことが好ましい。

【0023】また、本発明に係るマルチチップモジュールの製造方法において、前記マウントする工程は、前記チップの表面パターンを画像認識し、その画像に基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置にマウントするものであることが好ましい。

【0024】また、本発明に係るマルチチップモジュールの製造方法において、前記マウントする工程は、1チップ毎マウントする工程を複数回行うものであることが好ましい。

【0025】また、本発明に係るマルチチップモジュールの製造方法については、前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射することも可能である。また、前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射することも可能である。

【0026】また、本発明に係るマルチチップモジュールの製造方法については、前記固定する工程において光硬化樹脂膜に光を照射する際は、前記チップ周辺の一部の光硬化樹脂膜に光を照射することも可能である。これにより、マウントするチップの間隔を狭くすることができ、更なるチップの高密度実装を実現でき、マルチチップモジュールの小型化が可能となる。

【0027】また、本発明に係るマルチチップモジュールの製造方法について、前記所定の高さは、前記複数のチップそれぞれの最上層の配線パターンの高さが同一高さに揃うものであることが好ましい。

【0028】また、本発明に係るマルチチップモジュールの製造方法については、前記光硬化樹脂膜をコートする工程の前に、支持基板にチップをマウントする位置の基準点にターゲットマークを刻印する工程をさらに含む

8

ことが好ましい。

【0029】本発明に係るマルチチップモジュールの製造装置は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とする。

【0030】また、本発明に係るマルチチップモジュールの製造装置については、前記チップの表面パターンを画像認識する画像認識光学系と、この画像認識光学系により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して所定の高さに位置させると共に前記チップを支持基板に対して所定の平面位置に搬送するようにチップ搬送手段を制御する制御手段と、をさらに含むことが好ましい。

【0031】本発明に係るマルチチップモジュールの製造装置は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ周辺の一部の光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とする。

【0032】また、本発明に係るマルチチップモジュールの製造装置について、前記光学系は、レチクルマスクを用いて光をチップ周辺の一部の光硬化樹脂膜に照射するものであることが好ましい。また、前記光学系は、ブラインドシャッターの各羽に所望の穴を開け、シャッター羽を調整することによって光をチップ周辺の一部の光硬化樹脂膜に照射するものであることが好ましい。

【0033】本発明に係るマルチチップモジュールの製造装置は、複数のチップを互いに電氣的に接続し、同一パッケージ内に封止するマルチチップモジュールを製造する装置であって、支持基板上に光硬化樹脂膜をコートするコート手段と、前記支持基板を支持するステージと、前記コート手段によりコートされた光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにチップをフェースアップで搬送するチップ搬送手段と、前記チップ搬送手段によりチップを前記所定の平面位置及び所定の高さに保持した状態で、前記光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させる光学系と、を具備することを特徴とする。

(6)

9

【0034】また、本発明に係るマルチチップモジュールの製造装置について、前記光学系は、前記チップ上面及びその周辺の光硬化樹脂膜に光を照射するものであることが好ましい。また、前記光学系は、前記チップ下面及びその周辺の光硬化樹脂膜に光を照射するものであることが好ましい。

【0035】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1(a)～(c)は、本発明の実施形態1によるマルチチップモジュールの製造方法において、Chipをマウントするための支持基板の製造工程を示す断面図である。

【0036】本実施形態では、メモリーと信号処理ロジックLSIを組み合わせたMCMについて述べる。公知の技術により製造した32MBitDRAMChipと信号処理LSIChip、及び、光学ディスク読み取り制御LSIChipを各Chip種毎にマウント装置にセットする。各ChipのBGR後の厚さは300 μ m以下とする。

【0037】まず、図1(a)に示すように、支持基板となる厚さ200mmのSiウエハー11の表面上に、光リソグラフィー法を用いてフォトレジストを塗布し、このフォトレジストをパターンニングする。これにより、Siウエハー11の表面上には、MCM形成領域の基準となるターゲットマークを形成するためのレジストパターンマスク13が形成される。

【0038】この後、図1(b)に示すように、レジストパターン13をマスクとして塩素系ドライエッチングを行うことにより、Siウエハー11にターゲットマーク14を彫り込む。

【0039】次に、図1(c)に示すように、前記レジストパターンマスク13を除去した後、コーティング装置を用いて、Siウエハー11上に、例えばジアリルフタレート・多官能アクリレート・光重合開始剤の混合剤などのUV硬化樹脂膜15を350 μ m程度の厚さでコーティングする。この後、このUV硬化樹脂膜15の予備乾燥を行い、コーティング完了後、Siウエハー11をチップマウント装置に搬入する。

【0040】図2(a)は、本発明の実施形態1によるマルチチップモジュールの製造方法において、図1に示す支持基板(Siウエハー)上にマウントする各Chipの配列状態を示す平面図である。図2(b)は、図2(a)に示す単位MCM領域2bを拡大した平面図である。

【0041】MCMとして各Chipをどのように配置するか、及び、単位MCMを支持基板上にどのように配置するかのデータをマウント装置に入力し、各Chip毎にマウントする位置・配列パターンを決定する。また、Chip周囲の樹脂は後述するように硬化させるため、Chip間隔を50 μ m以上離して設定する。

【0042】具体例としては、図2(a)に示すよう

10

に、支持基板11上に単位MCM2bをマトリックス状に複数配置する。また、単位MCMについては、信号処理LSIChip17、DRAMChip19、光リディスク読み取りLSIChip21及びターゲットマーク14を図2(b)に示すように配置する。

【0043】また、各Chip毎にその代表回路パターンとChip基準点となるポイントを光学画像として登録し、マウントするChip毎に光学画像による位置認識を行うパターン判定レシピを作製する。

【0044】次に、図1に示す支持基板(Siウエハー)に各Chipをマウントする工程を、図3～図8を参照しつつ説明する。図3～図8は、本発明の実施形態1によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するための断面図である。

【0045】まず、図1(c)に示す支持基板11を後記支持基板ステージ45に搬送し、Chipの場合と同様に光学画像認識により支持基板の位置を基準点に合わせる。この後、図3に示すように、外形からラフアライメントしたDRAMChip19を、マウント装置のChip搬送アーム25を用いて支持基板(Siウエハー)11上に設定されたマウント基準点23の付近にフェースアップで搬送する。次に、マウント装置の画像認識光学系26によりDRAMChip19の回路パターンの画像を取り込む。なお、この時、画像取り込みの焦点調整をChipの高さ調整により行えば、回路面の高さも基準点に合わせることができる。

【0046】この後、図4に示すように、取り込み画像の焦点が合うように、Chip19の高さを補正する。つまり、マウント基準点23とChip基準点24の高さが合うように、Chip19の高さを補正する。

【0047】次に、予め登録しておいたChip19の回路パターンの画像と、マウントするChipの回路パターンを取り込んだ光学画像とを比較し、Chip基準点24を判定する。

【0048】次に、図5に示すように、マウント基準点23とChip基準点24が一致するように、Chip搬送アーム25を用いてChip19の水平位置を補正する。このようにして正確にChipの回路位置を基準点に合わせる。この後、支持基板11が載置されている支持基板ステージ(図示せず)を動かすことにより、ターゲットマーク14がマウント基準点23の付近にくるように支持基板11を移動させる。

【0049】次に、図6に示すように、マーク位置検出装置(図示せず)のレーザー光27を用いてターゲットマーク14の位置を検出し、設定されたマウント基準点23に対する相対位置にターゲットマーク14が位置するように、支持基板11の位置を補正する。

【0050】この後、図7に示すように、支持基板ステージを一定高さまで上昇させることにより、Chip19

(7)

11

を光硬化樹脂層15のマウント予定位置に埋め込む。

【0051】次に、図8に示すように、Chip19が埋め込まれた状態で、Chip上部からChip周辺を含む樹脂層15にUV光学系29を用いてUV光29aを照射することにより、Chip19の周囲の樹脂15を硬化させる。これにより、埋め込まれたChip19は正確な位置で硬化樹脂により固定されることとなる。この際のUV照射条件は、光源として波長365nmの水銀ランプi線スペクトル光を用い、露光エネルギーを4000mJとする。

【0052】上記の樹脂15を硬化させた後、樹脂15からChip搬送アームを引き上げて外し、次のChipを搬送する。この後、図3～図8に示す手順を繰り返すことにより、支持基板11におけるすべてのMCM形成領域にDRAMChip19をマウントする。

【0053】次に、連続して信号処理LSIChipの照合画像データの切り替えを行い、上記と同様の方法により支持基板11上に信号処理LSIChipをマウントする。その後、更に、上記と同様の方法により支持基板11上に光ディスク読み取りLSIChipをマウントする。

【0054】MCMとして組む全てのLSIChipのマウントを終了した後、支持基板ステージから支持基板11を露光部へ搬出し、この支持基板を全面露光ステージに載置し、このステージにて500Wの水銀ランプで30秒の露光を行う。これにより、樹脂15における未硬化の部分をすべて硬化させる（図示せず）。なお、未硬化樹脂を硬化させ、その樹脂はChip間段差平坦化層としてそのまま利用しても良い。以上の工程により、LSIChipの回路パターン位置及び高さが正確にアライメントされた状態で支持基板へのChipマウントが可能となる。

【0055】図9は、上述した一連のChipマウント作業を行う装置を示す構成図である。図10は、図9に示す露光部を示す構成図である。

【0056】図9に示すように、Chipマウント装置は、半導体製造に使用されるインライン接続されたコーターデベロッパ・ステッパーと似かよった構成となっており、コーター部31と露光部33からなる。

【0057】カセットから搬送された支持基板（Siウエハー）は、コーター部31において光硬化樹脂コートと予備乾燥が行われ、マウント・露光部33においてChipのマウント・位置補正・露光（Chip毎の樹脂硬化）が行われる。支持基板は、再びコーター部31に運ばれ、全面露光ステージ40で全ての樹脂を硬化させた後、カセット35に戻される。

【0058】すなわち、コーター部31は4カセットが支持基板カセットローダー35に設置可能となっており、インターフェースバッファ37を介して支持基板がアームロボット39に運ばれる。センター部にアームロ

12

ット39が移動する領域があり、アーム移動領域を挟んで樹脂コートカップ38と予備乾燥用ベークステージ36、全面露光ステージ40が配置されている。

【0059】コーター部31と露光部33の間にはインターフェースバッファ41が設けられている。これにより、コーター部31と露光部33の間の支持基板の受け渡しが可能になる。

【0060】図10に示すように、露光部33は、支持基板を搬送する支持基板搬送系43、高精度な支持基板ステージ45、基板ステージ45を駆動させる基板ステージ駆動系46、UV露光光学系47、Chip画像を取り込むChip画像取り込み光学系（画像認識光学系）49、水銀ランプ50、支持基板のマーク位置を検出（感知）するレーザー光学系51、Chipストレージ52、Chipのラフアライメントを行うChipラフアライメントステージ54、支持基板にマウントするChipを搬送するChip搬送系53及び支持基板にChipをマウントするChipマウントアーム55などから構成されている。

【0061】UV露光光学系47には露光領域を制限するブラインドシャッター56が設けられている。このブラインドシャッター56によって、マウントするChipの外形寸法のデータに応じ、光硬化樹脂を露光する露光領域をChipとChip周辺の20μmの範囲に制限することができる。

【0062】この露光装置33では、Chip画像の取り込みを、ハーフミラー57を用いて、UV露光光学系47を介して行っており、Chip画像取り込み光学系49からの照射光の焦点はマウント基準点に一致するように調整されている。

【0063】また、露光装置33はアームロボット39の動きを制御する制御部（図示せず）を有している。この制御部は、Chip画像取り込み光学系49により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して適正な高さに位置させると共にChipを支持基板に対して適正な平面位置に搬送するようにアームロボット39を制御するものである。

【0064】Chipマウント装置では、コーター部31の樹脂コーティングカップ38において支持基板上に光硬化樹脂をコートすることから、Chipの位置補正、Chipのマウント、露光（即ちChip樹脂硬化）、未硬化樹脂の硬化までの一連の作業を連続して行うことができる。

【0065】支持基板上へのChipのマウントを完了した後、MCMとして機能させるためのChip間配線を形成する。以下にChip間の配線を形成する方法について図11を参照しつつ説明する。

【0066】図11（a）～（d）は、Chip間の配線を形成する方法を説明するための断面図である。

【0067】図11（a）に示すように、マウントされ

(8)

13

たChip 17, 19及びUV硬化樹脂膜15の上に厚さ1 μ m程度の層間絶縁膜61を堆積する。次に、半導体前工程用の光リソグラフィー装置を用いて配線パターンと光学アライメント62をとりつつ、接続用パッド(図示せず)上に約5 μ m角の接続用孔パターン63aをフォトリソ膜63に形成する。なお、このパターン形成は、MCMとなるChipグループ毎もしくはChip毎にアライメント・フォーカス調整を行っても良い。

【0068】この後、図11(b)に示すように、半導体前工程用絶縁膜加工ドライエッチング装置を用いて、フォトリソ膜63をマスクとして層間絶縁膜61をエッチングする。これにより、層間絶縁膜61には接続孔61aが開口される。

【0069】次に、フォトリソ膜63を除去した後、層間絶縁膜61上にフォトリソ膜65を設ける。この後、前記光リソグラフィー装置を用いて、このフォトリソ膜65に、約2 μ m幅のChip間の配線パターンを形成するための配線ネガパターン65aを形成する。次に、前記ドライエッチング装置を用いて、フォトリソ膜65をマスクとして層間絶縁膜61をエッチングする。これにより、層間絶縁膜61には接続孔61a上に位置する約2 μ m深さの配線パターン溝61bが形成される。

【0070】この後、フォトリソ膜65を除去し、図11(c)に示すように、接続孔61a内、配線パターン溝61b内及び層間絶縁膜61上に核成長層としてCu膜をスパッタ法により50nm堆積した後、無電解メッキによりCu膜を5 μ m成長させる。次に、Cu用CMP (Chemical Mechanical Polishing) 装置を用いて、溝部61b以外の層間絶縁膜上のCu膜を研磨除去することにより、接続孔61a内にCu膜が埋め込まれ、配線パターン溝61bには第1層Cu配線66が形成される。

【0071】また、第2層配線が必要な場合は、図11(a)～(c)の工程を繰り返すことにより、図11(d)に示すように、第1層Cu配線66上の層間絶縁膜67に第2層Cu配線69及びパッド71を形成する。

【0072】次に、第2層Cu配線69及びパッド71の上に回路保護膜73をコートし、その後、パッド71上のみ保護膜73を除去し、パッド71上に公知の方法によりバンパ75を形成する。

【0073】上記実施形態1によれば、各Chipの回路形成面(高さ)を同一平面上に揃え、且つ、Chip間の相対位置精度を向上させることができる。このため、LSI Chip製造工程と同様な方法によりChip間配線形成が可能となり、例えばChip間配線形成にi線露光装置を使用すれば、0.5 μ mライン/0.5 μ mスペースの配線も形成できる。従って、配線幅を2 μ m以下としても信頼性の良いChip間配線を形成することが可能と

14

なる。この技術により、MCMに形成可能な配線密度を飛躍的に高めることができ、入・出力インターフェース回路を介さないChip間接続を行うような小型、低消費電極MCMの製造が可能となる。

【0074】また、Chip間配線の微細化により、形成可能な配線数を飛躍的に増加でき、Chip間配線を入・出力回路を通さずに結び付けるマルチチップモジュールの製造が可能となる。また、Chip間配線で接続するコンタクト(パッド)の大きさを小型化することが可能となり、MCMとして組み込まれるLSIの設計自由度を向上できる。

【0075】次に、本発明の実施形態2によるマルチチップモジュールの製造方法について説明する。本実施形態では、実施形態1と同じくメモリと信号処理ロジックLSIを組み合わせたMCMを石英支持基板上に形成する例について述べる。

【0076】公知の技術により製造した32MBitDRAM Chipと信号処理LSI Chip、及び、光学ディスク読み取り制御LSI Chipを各Chip種毎にマウント装置にセットする。各ChipのBGR後の厚さは300 μ m以下とする。

【0077】まず、支持基板となる厚さ200mmの石英ウエハに、実施形態1と同様に光リソグラフィー法により、MCM形成領域の基準となるターゲットマークのレジストパターンマスクを形成し、フッ素系のドライエッチングによりターゲットマークを石英ウエハに彫り込む。

【0078】次に、レジストパターンを除去した後、コーティング装置を用いて、石英ウエハ上に、例えばジアリルフタレート・多官能アクリレート・光重合開始剤とエポキシ樹脂の混合剤などのUV硬化樹脂を350 μ m程度の厚さでコーティングする。この後、このUV硬化樹脂膜の予備乾燥を行い、コーティング完了後、石英ウエハをチップマウント装置に搬入する。

【0079】次に、MCMとして各Chipをどのように配置するか、及び、単位MCMを支持基板上にどのように配置するかのデータをマウント装置に入力し、各Chip毎にマウントする位置・配列パターンを決定する。また、Chip周囲の樹脂は後述するように硬化させるため、Chip間隔を50 μ m以上離して設定する。

【0080】次に、各Chip毎にその代表回路パターンとChip基準点となるポイントを光学画像として登録し、マウントするChip毎に光学画像による位置認識を行うパターン判定レシピを作製する。

【0081】次に、支持基板(石英ウエハ)に各Chipをマウントする工程を、図12～図17を参照しつつ説明する。図12～図17は、本発明の実施形態2によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するための断面図である。

15

【0082】まず、図12に示すように、外形からラフアライメントしたDRAMChip19を、マウント装置の上面吸着アーム77を用いて支持基板（石英ウエハー）76上に設定されたマウント基準点23の付近にフェースアップで搬送する。次に、マウント装置の画像認識光学系26によりDRAM Chip19の回路パターンの画像を取り込む。

【0083】この後、図13に示すように、取り込み画像の焦点が合うように、Chip19の高さを補正する。

【0084】次に、予め登録しておいたChip19の回路パターンの画像と、マウントするChipの回路パターンを取り込んだ光学画像とを比較し、Chip基準点24を判定する。

【0085】次に、図14に示すように、マウント基準点23とChip基準点24が一致するように、上面吸着アーム77を用いてChip19の水平位置を補正する。この後、支持基板76が載置されている支持基板ステージ（図示せず）を動かすことにより、ターゲットマーク14がマウント基準点23の付近にくるように支持基板76を移動させる。

【0086】次に、図15に示すように、マーク位置検出装置（図示せず）のレーザー光27を用いてターゲットマーク14の位置を検出し、設定されたマウント基準点23に対する相対位置にターゲットマーク14が位置するように、支持基板76の位置を補正する。

【0087】この後、図16に示すように、支持基板ステージを一定高さまで上昇させることにより、Chip19を光硬化樹脂層15のマウント予定位置に埋め込む。

【0088】次に、図17に示すように、Chip19が埋め込まれた状態で、Chip下部からChip周辺を含む樹脂層15にUV光79を照射することにより、Chip19の周囲及びChip直下の樹脂15を硬化させる。これにより、埋め込まれたChip19は正確な位置で硬化樹脂により固定されることとなる。この際のUV照射条件は、光源として波長365nmの水銀ランプi線スペクトル光を用い、露光エネルギーを6000mJとする。

【0089】上記の樹脂15を硬化させた後、樹脂15から上面吸着アーム77を引き上げて外し、次のChipを搬送する。この後、図12～図17に示す手順を繰り返すことにより、支持基板76におけるすべてのMCM形成領域にDRAMChip19をマウントする。

【0090】次に、連続して信号処理LSI Chipの照合画像データの切り替えを行い、上記と同様の方法により支持基板76上に信号処理LSI Chipをマウントする。その後、更に、上記と同様の方法により支持基板76上に光ディスク読み取りLSI Chipをマウントする。

【0091】MCMとして組む全てのLSI Chipのマウントを終了した後、支持基板ステージから支持基板76を搬出し、この支持基板を加熱ステージに載置し、こ

(9)

16

のステージにて200℃で300秒のベークを行う。これにより、樹脂15における未硬化の部分をすべて硬化させる（図示せず）。

【0092】図18は、上述した一連のChipマウント作業を行う装置を示す構成図である。図19は、図18に示す露光部を示す構成図である。

【0093】図18に示すChipマウント装置は、図9の装置と同様に半導体製造に使用されるインライン接続されたコーターデベロッパー・ステッパーと似かよった構成となっており、コーター部81と露光部83からなるが、図18の装置は図9の装置に比べて露光部83が大きく異なる。

【0094】カセットから搬送された支持基板（石英ウエハー）は、コーター部81において光硬化樹脂・熱硬化樹脂の混合剤のコートと予備乾燥が行われ、マウント・露光部83においてChipのマウント・位置補正・露光（Chip毎の樹脂硬化）が行われる。支持基板は、再びコーター部81に運ばれ、全面硬化用加熱ステージ90で全ての樹脂を硬化させた後、カセット35に戻される。

【0095】すなわち、コーター部81は4カセットが支持基板カセットローダー35に設置可能となっており、インターフェースバッファ37を介して支持基板がアームロボット39に運ばれる。センター部にアームロボット39が移動する領域があり、アーム移動領域を挟んで樹脂コートカップ38と予備乾燥用ベークステージ36、全面硬化用加熱ステージ90が配置されている。

【0096】コーター部81と露光部83の間にはインターフェースバッファ41が設けられている。これにより、コーター部81と露光部83の間の支持基板の受け渡しが可能になる。

【0097】図19に示すように、露光部83は、支持基板を搬送する支持基板搬送系43、高精度な支持基板ステージ45、基板ステージ45を駆動させる基板ステージ駆動系46、UV露光光学系47、水銀ランプ50、Chip画像を取り込むChip画像取り込み光学系（画像認識光学系）49、支持基板のマーク位置を検出（感知）するレーザー光学系51、Chipストレージ52、Chipのラフアライメントを行うChipラフアライメントステージ54、支持基板にマウントするChipを搬送するChip搬送系53及び支持基板にChipをマウントするChipマウント真空吸着アーム77などから構成されている。

【0098】基板ステージ45は、石英基板の周囲を固定する方式を採っており、石英基板の裏面側が空洞もしくは石英製となっている。石英基板の裏面側にUV露光光学系47が配置されており、このUV露光光学系47には露光領域を制限するブラインドシャッター56が設けられている。このブラインドシャッター56によって、マウントするChipの外形寸法のデータに応じ、光硬化

(10)

17

樹脂を露光する露光領域をChipとChip周辺の $20\mu\text{m}$ の範囲に制限することができる。

【0099】この露光装置83では、Chipの上面からChip画像の取り込みを行っており、Chip画像取り込み光学系49からの照射光の焦点はマウント基準点に一致するように調整されている。

【0100】また、露光装置83はアームロボット39の動きを制御する制御部（図示せず）を有している。この制御部は、Chip画像取り込み光学系49により認識した表面パターンの画像データを前記チップ搬送手段に送り、この画像データに基づいて該表面パターンを支持基板に対して適正な高さに位置させると共にChipを支持基板に対して適正な平面位置に搬送するようにアームロボット39を制御するものである。

【0101】Chipマウント装置では、コーター部81の樹脂コーティングカップ38において支持基板上に光硬化樹脂をコートすることから、Chipの位置補正、Chipのマウント、露光（即ちChip樹脂硬化）、未硬化樹脂の硬化までの一連の作業を連続して行うことができる。

【0102】支持基板上へのChipのマウントを完了した後、実施形態1と同様の方法で、MCMとして機能させるためのChip間配線を形成する。

【0103】上記実施形態2においても実施形態1と同様の効果を得ることができる。

【0104】また、本実施形態は、Chipをアーム77で支持した状態でChip周辺及び直下の樹脂を硬化できるため、Chipマウント終了後の未露光樹脂硬化時にChipが移動する可能性が少ない点がメリットである。また、上面吸着アーム77はChipを真空吸着によって保持するものであるから、アーム77に樹脂15が付着することによる発塵や搬送ミスを防止することができる。

【0105】次に、本発明の実施形態3によるマルチチップモジュールの製造方法について説明する。本実施形態では、実施形態1と同じくメモリーと信号処理ロジックLSIを実施形態1より近接して組み合わせたMCMを支持基板上に形成する例について述べる。

【0106】公知の技術により製造した32MBitDRAMChipと信号処理LSIChip、及び、光学ディスク読み取り制御LSIChipを各Chip種毎にマウント装置にセットする。各ChipのBGR後の厚さは $300\mu\text{m}$ 以下とする。

【0107】まず、支持基板となる厚さ 200mm のSiウエハーは、予め表面にのみ厚さ 200nm 程度の図21に示すA1膜88を堆積しておく。このA1膜88はUV光の反射膜として作用する。Siウエハーに、実施形態1と同様に光リソグラフィ法により、MCM形成領域の基準となるターゲットマークのレジストパターンマスクを形成し、塩素系のドライエッチングによりターゲットマークをA1膜とSiウエハーに彫り込む。

18

【0108】次に、レジストパターンを除去した後、コーティング装置を用いて、Siウエハー上に、例えばジアリルフタレート・多官能アクリレート・光重合開始剤の混合剤などのUV硬化樹脂を $350\mu\text{m}$ 程度の厚さでコーティングする。この後、このUV硬化樹脂膜の予備乾燥を行い、コーティング完了後、Siウエハーをチップマウント装置に搬入する。

【0109】次に、MCMとして各Chipをどのように配置するか、及び、単位MCMを支持基板上にどのように配置するかをマウント装置に入力し、各Chip毎にマウントする位置・配列パターンを決定する。この場合、Chip間隔制限を $30\mu\text{m}$ に狭め、より近接してChipを配置するものとする。

【0110】次に、各Chip毎にその代表回路パターンとChip基準点となるポイントを光学画像として登録し、マウントするChip毎に光学画像による位置認識を行うパターン判定レシピを作製する。

【0111】この後、実施形態1と同様の方法により1Chip毎に位置・高さを調整し、Chipを樹脂に埋め込んで光照射により樹脂を硬化させてChipを固定する。この光照射をChipサイズに応じたレチクルパターンを投影して行う。これにより、隣接するChipの硬化領域と重ならないよう、Chip周辺の一部にのみ光の照射が可能となる。このため、Chip間の距離を実施形態1の $50\mu\text{m}$ より狭くすることが可能となり、MCMの小型化と1枚の支持基板上に形成可能なMCM数を増やすことができる。

【0112】また、光スポットを決定するレチクルは、マウントするChip種毎に自動交換して作業する事で、実施形態1と同等の連続作業も可能である。

【0113】Chipマウント完了後、実施形態1と同様にMCMとして機能するためのChip間配線を形成する。

【0114】図20(a)、(b)は、Chipを樹脂に埋め込んで光照射により樹脂を硬化させる際、Chipサイズに応じたレチクルパターンを投影して光照射を行う様子を示す平面図である。これに対して図20(c)、

(d)は、実施形態1の方法で樹脂に光照射した様子を示す平面図である。

【0115】実施形態1では、図20(c)に示すように、ChipA及びその周辺に露光領域86を配置するので、ChipAとChipBを隣接配置する場合、Chip間隔がL2必要であった。これに対して、本実施形態では、図20(a)に示すように、レチクルパターンを投影して光照射するため、その光照射された部分露光領域85は、ChipAの外周の4個所にChipを跨ぐように位置している。このように部分露光領域85を配置すると、ChipAとChipBを近接して配置することができ、図20(b)に示すように、Chip間隔をL2より狭いL1とすることができる。

(11)

19

【0116】尚、図20(c)に示す部分露光領域85は単なる一例であり、部分露光領域を他の形状とすることも可能である。

【0117】また、本実施形態では、図21に示すように、支持基板11の樹脂15下にA1膜88を敷いてあるため、樹脂15を硬化させるUV光89を照射させた際、A1膜88によりUV光が反射し、より効率良く樹脂硬化を進行させることができる。

【0118】図22は、本発明の実施形態3によるマルチチップモジュールの製造に用いられるChipマウント装置における部分露光可能な露光部を示す構成図であり、図10と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0119】この露光部は、露光領域を制限するためのレチクルマスク91を有すると共に、交換用のレチクルマスクを収納するレチクルストッカー92を有している。さらに露光部は、マウントするChip種毎にレチクルマスク91を自動交換して作業するためのレチクル搬送系93を有している。

【0120】上記実施形態3においても実施形態1と同様の効果を得ることができる。

【0121】尚、上記実施形態3では、レチクルマスク91を用いて露光領域を制限しているが、図10に示す装置のブラインドシャッターの各羽に所望の穴を開口し、シャッター羽を調整することによっても同様の部分露光が可能である。

【0122】また、本発明は上記実施形態に限定されず、種々変更して実施することが可能である。

【0123】

【発明の効果】以上説明したように本発明によれば、複数のチップを、光硬化樹脂膜内であって支持基板上の所定の平面位置及び所定の高さにフェースアップでマウントし、光硬化樹脂膜に光を照射して光硬化樹脂膜を硬化させることにより、前記チップを前記所定の平面位置及び所定の高さに固定する。したがって、素子間の配線を微細化し、更なるチップの高密度実装を実現できるマルチチップモジュール及びその製造方法、製造装置を提供することができる。

【図面の簡単な説明】

【図1】図1(a)～(c)は、本発明の実施形態1によるマルチチップモジュールの製造方法において、Chipをマウントするための支持基板の製造工程を示す断面図である。

【図2】図2(a)は、図1に示す支持基板(Siウエハー)上にマウントする各Chipの配列状態を示す平面図であり、図2(b)は、図2(a)に示す単位MCM領域2bを拡大した平面図である。

【図3】本発明の実施形態1によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するものであってChipの回路画像を

20

取り込む工程を示す断面図である。

【図4】支持基板に各Chipをマウントする方法を説明するものであり、図3の次の工程を示すものであって焦点補正によるChipの高さを調整する工程を示す断面図である。

【図5】支持基板に各Chipをマウントする方法を説明するものであり、図4の次の工程を示すものであってChip基準点の水平位置を補正する工程を示す断面図である。

【図6】支持基板に各Chipをマウントする方法を説明するものであり、図5の次の工程を示すものであって支持基板の位置を補正する工程を示す断面図である。

【図7】支持基板に各Chipをマウントする方法を説明するものであり、図6の次の工程を示すものであって支持基板の上昇によりChipを埋め込む工程を示す断面図である。

【図8】支持基板に各Chipをマウントする方法を説明するものであり、図7の次の工程を示すものであってUV光の照射によりChip周辺の樹脂を硬化させる工程を示す断面図である。

【図9】本発明の実施形態1によるマルチチップモジュールの製造に用いられるChipマウント装置を示す構成図である。

【図10】図9に示す露光部を示す構成図である。

【図11】図11(a)～(d)は、Chip間の配線を形成する方法を説明するための断面図である。

【図12】本発明の実施形態1によるマルチチップモジュールの製造方法において、支持基板に各Chipをマウントする方法を説明するものであってChipの回路画像を取り込む工程を示す断面図である。

【図13】支持基板に各Chipをマウントする方法を説明するものであり、図12の次の工程を示すものであって焦点補正によるChipの高さを調整する工程を示す断面図である。

【図14】支持基板に各Chipをマウントする方法を説明するものであり、図13の次の工程を示すものであってChip基準点の水平位置を補正する工程を示す断面図である。

【図15】支持基板に各Chipをマウントする方法を説明するものであり、図14の次の工程を示すものであって支持基板の位置を補正する工程を示す断面図である。

【図16】支持基板に各Chipをマウントする方法を説明するものであり、図15の次の工程を示すものであって支持基板の上昇によりChipを埋め込む工程を示す断面図である。

【図17】支持基板に各Chipをマウントする方法を説明するものであり、図16の次の工程を示すものであってUV光の照射によりChip周辺の樹脂を硬化させる工程を示す断面図である。

【図18】本発明の実施形態2によるマルチチップモジ

(12)

21

ジュールの製造に用いられるChipマウント装置を示す構成図である。

【図19】図18に示す露光部を示す構成図である。

【図20】図20(a)～(d)は、本発明の実施形態3による樹脂への光照射方法を説明するための平面図である。

【図21】本発明の実施形態3による樹脂への光照射を行っている様子を示す断面図である。

【図22】本発明の実施形態3によるマルチチップモジュールの製造に用いられるChipマウント装置における部分露光可能な露光部を示す構成図である。

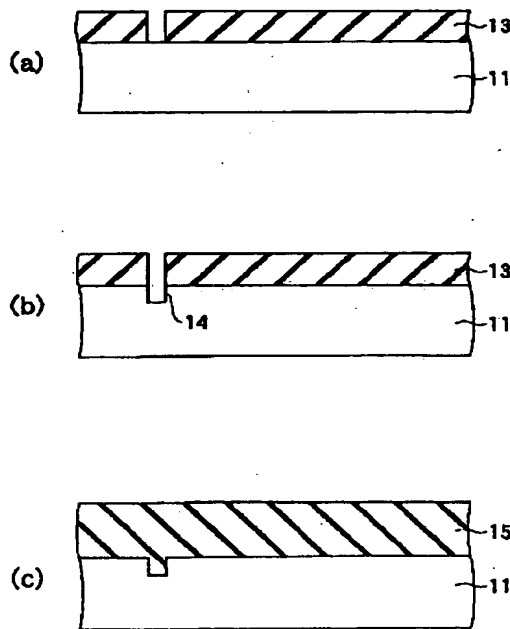
【符号の説明】

2b…単位MCM、11…支持基板（Siウエハー）、13…レジストパターンマスク、14…ターゲットマーク、15…UV硬化樹脂膜、17…信号処理LSI Chip、19…DRAM Chip、19…Chip、21…光リディスク読み取りLSI Chip、23…マウント基準点、24…Chip基準点、25…Chip搬送アーム、26…画像認識光学系、27…レーザー光、29…UV光学系、29a…UV光、31…コーター部、33…露光装置（露光部）、35…支持基板ガセットローダー（カセット）、36…予備乾燥用ベークステージ、37…インタ

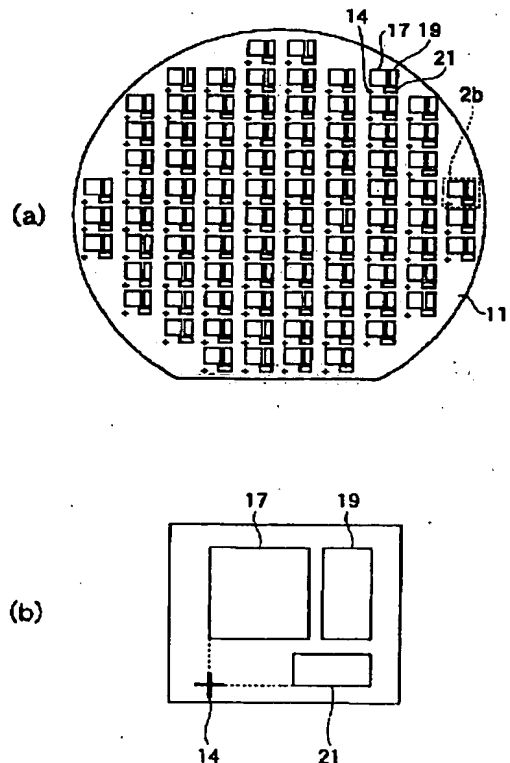
22

ーフェースバッファ、38…樹脂コートカップ、39…アームロボット、40…全面露光ステージ、41…インターフェースバッファ、43…支持基板搬送系、45…支持基板ステージ、46…基板ステージ駆動系、47…UV露光光学系、49…Chip画像取り込み光学系（画像認識光学系）、50…水銀ランプ、51…レーザー光学系、52…Chipストレージ、53…Chip搬送系、54…Chipラフアライメントステージ、55…Chipマウントアーム、56…ブラインドシャッター、57…ハーフミラー、61…層間絶縁膜、61a…接続孔、61b…配線パターン溝、62…光学アライメント、63…フォトリソ膜、63a…接続用孔パターン、65…フォトリソ膜、65a…配線ネガパターン、66…第1層Cu配線、67…層間絶縁膜、69…第2層Cu配線、71…パッド、73…回路保護膜、75…パンプ、76…支持基板（石英ウエハー）、77…上面吸着アーム（Chipマウント真空吸着アーム）、79…UV光、81…コーダー部、83…露光装置（露光部）、85…部分露光領域、86…露光領域、88…Al膜（UV光反射膜）、89…UV光、90…全面硬化用加熱ステージ、91…レチクルマスク、92…レチクルストッカー、93…レチクル搬送系。

【図1】

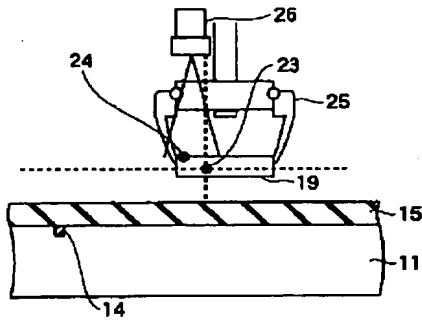


【図2】

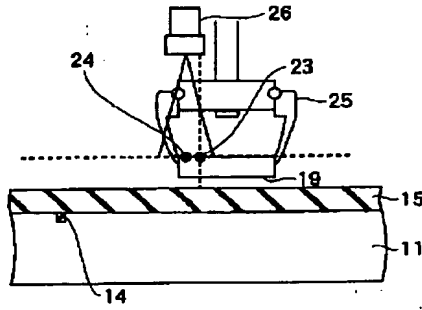


(13)

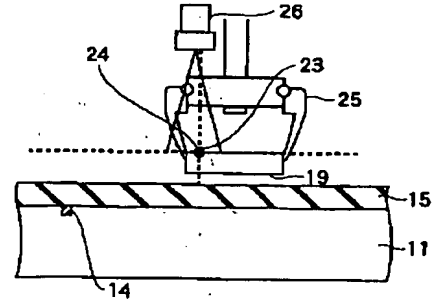
【図3】



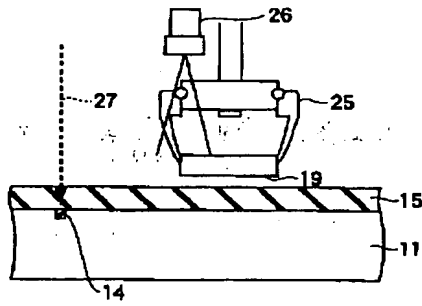
【図4】



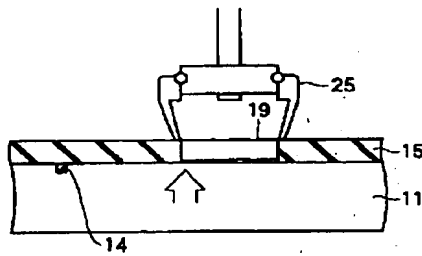
【図5】



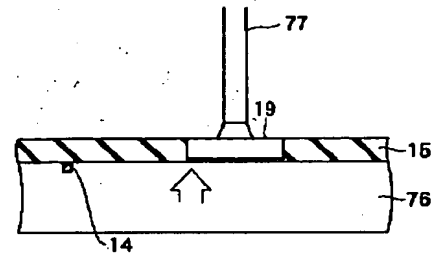
【図6】



【図7】

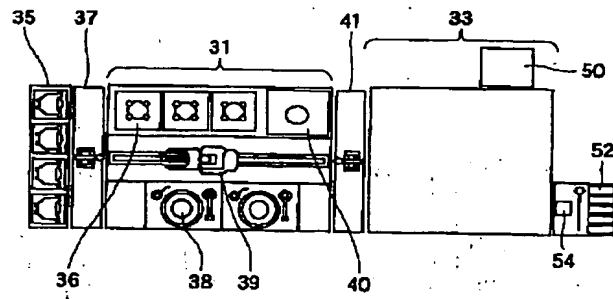
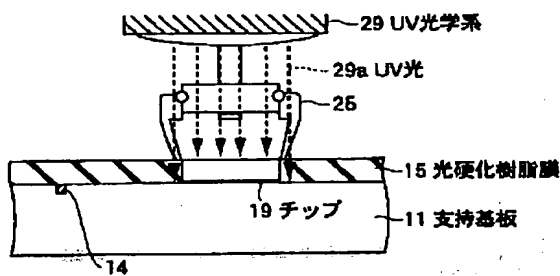


【図16】

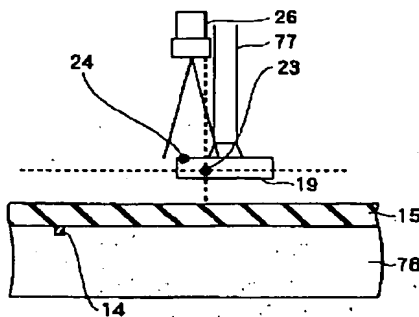


【図9】

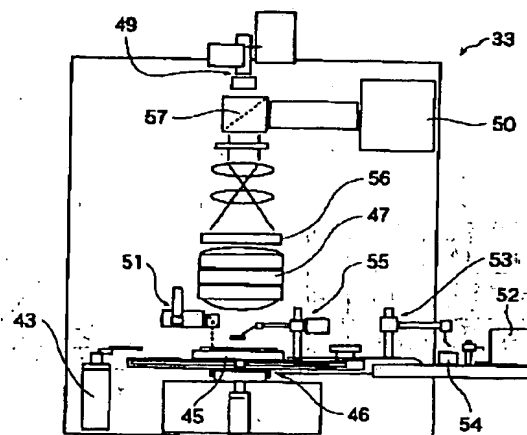
【図8】



【図12】

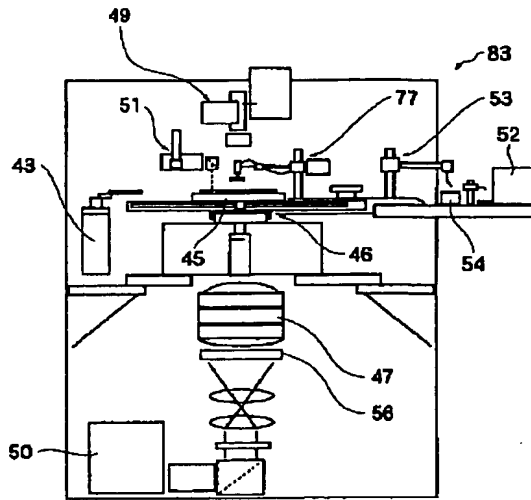


【図10】

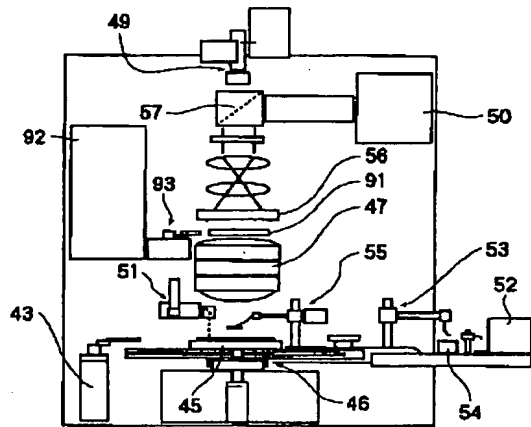


(15)

【図19】



【図22】



【図20】

